

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-152085

(P2003-152085A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl.
H 01 L 21/822
21/3205
27/04

識別記号

F I
H 01 L 27/04
21/88

テ-マコト(参考)
H 5 F 0 3 3
C 5 F 0 3 8
S
K

審査請求 未請求 請求項の数10 O.L (全 31 頁)

(21)出願番号 特願2001-347887(P2001-347887)

(22)出願日 平成13年11月13日(2001.11.13)

(71)出願人 000005223

富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 松原 大介
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 山内 英彰
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100087479
弁理士 北野 好人 (外1名)

最終頁に続く

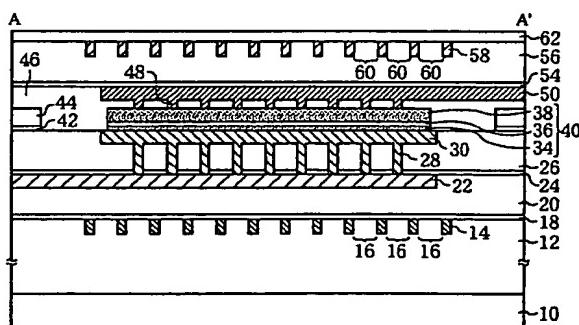
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 MIM容量へのノイズの結合を防止し得る半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板10と、半導体基板の上方に形成され、下部電極34と、下部電極上に形成された容量絶縁膜36と、容量絶縁膜上に形成された上部電極38とを有する容量素子40と、少なくとも容量素子の上方又は下方に形成されたシールド層14、58と、容量素子とシールド層との間に形成され、下部電極又は上部電極に電気的に接続された引き出し配線層22、50とを有し、シールド層及び引き出し配線層に、それぞれ複数の孔16、60が形成されている。

本発明の第1実施形態による半導体装置を示す断面図



1

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の上方に形成され、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子と、

少なくとも前記容量素子の上方又は下方に形成されたシールド層と、
前記容量素子と前記シールド層との間に形成され、前記下部電極又は前記上部電極に電気的に接続された引き出し配線層とを有し、

前記シールド層及び前記引き出し配線層に、それぞれ複数の孔が形成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
前記シールド層及び前記引き出し配線層が、メッシュ状のパターンになっていることを特徴とする半導体装置。【請求項3】 請求項2記載の半導体装置において、
前記シールド層のパターンと前記引き出し配線層のパターンとが、互いにずれていることを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれか1項に記載の半導体装置において、

前記容量素子の下方の前記半導体基板に、前記シールド層を隔てて形成された半導体素子を更に有することを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれか1項に記載の半導体装置において、
前記容量素子の少なくとも上方又は下方に、前記シールド層を隔てて形成された配線層を更に有することを特徴とする半導体装置。【請求項6】 請求項1乃至5のいずれか1項に記載の半導体装置において、
前記シールド層が、前記半導体基板に埋め込まれていることを特徴とする半導体装置。【請求項7】 請求項1乃至6のいずれか1項に記載の半導体装置において、
前記容量素子の周囲に、前記容量素子の上面の高さとほぼ等しい高さを有する絶縁膜が形成されていることを特徴とする半導体装置。【請求項8】 請求項1乃至7のいずれか1項に記載の半導体装置において、
前記容量素子のパターンは、前記容量素子の内側の部分を構成する第1の基本パターンと、前記容量素子の周縁を含む部分を構成する第2の基本パターンと、前記容量素子の角を含む部分を構成する第3の基本パターンとが、それぞれ複数組み合わさって構成されていることを特徴とする半導体装置。【請求項9】 半導体基板と、
前記半導体基板の上方に形成され、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子と、

2

前記容量素子の下方に形成された下部シールド層と、
前記容量素子の上方に形成された上部シールド層と、
前記容量素子と前記下部シールド層との間に形成され、
前記下部電極に電気的に接続された下部電極引き出し配線層と、

前記容量素子と前記上部シールド層との間に形成され、
前記上部電極に電気的に接続された上部電極引き出し配線層とを有し、

10 前記下部シールド層、前記上部シールド層、前記下部電極引き出し配線層及び前記上部電極引き出し配線層に、
それぞれ複数の孔が形成されており、
前記下部シールド層と前記下部電極引き出し配線層との間の寄生容量と、前記上部シールド層と前記上部電極引き出し配線層との間の寄生容量とが、ほぼ等しくなるように、前記下部シールド層と前記下部電極引き出し配線層とが対向する部分の面積と、前記上部シールド層と前記上部電極引き出し配線層とが対向する部分の面積とが、それぞれ設定されていることを特徴とする半導体装置。20 【請求項10】 半導体基板の上方に、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子を形成する工程を有する半導体装置の製造方法において、
前記容量素子を形成する工程の前に、複数の孔が形成された下部シールド層を形成する工程と、複数の孔が形成された下部電極引き出し配線層を形成する工程とを有し、

前記容量素子を形成する工程の後に、複数の孔が形成された上部電極引き出し配線層を形成する工程と、複数の孔が形成された上部シールド層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特にMIM (Metal-Insulator-Metal) 容量を有する半導体装置及びその製造方法に関するもの。

【0002】

【従来の技術】アナログ回路を有するLSI等においては、容量素子が重要な構成要素である。

【0003】従来は、ポリシリコン層や不純物拡散層等を電極として用いて容量素子が構成されていたが、近時では、MIM容量という容量素子が注目されている。

【0004】MIM容量は、金属より成る一対の電極の間に容量絶縁膜を挟んで構成された容量素子である。MIM容量は、容量精度の向上や、周波数特性の向上を図ることが可能であるため、大きな注目を集めている。

【0005】

【発明が解決しようとする課題】しかしながら、上述した容量素子は、いずれも外來ノイズの影響を受けやすか

50

った。このため、容量素子に対してノイズの影響を受けてくする技術が待望されていた。

【0006】本発明の目的は、MIM容量へのノイズの結合を防止し得る半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的は、半導体基板と、前記半導体基板の上方に形成され、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子と、少なくとも前記容量素子の上方又は下方に形成されたシールド層と、前記容量素子と前記シールド層との間に形成され、前記下部電極又は前記上部電極に電気的に接続された引き出し配線層とを有し、前記シールド層及び前記引き出し配線層に、それぞれ複数の孔が形成されていることを特徴とする半導体装置により達成される。

【0008】また、上記目的は、半導体基板と、前記半導体基板の上方に形成され、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子と、前記容量素子の下方に形成された下部シールド層と、前記容量素子の上方に形成された上部シールド層と、前記容量素子と前記下部シールド層との間に形成され、前記下部電極に電気的に接続された下部電極引き出し配線層と、前記容量素子と前記上部シールド層との間に形成され、前記上部電極に電気的に接続された上部電極引き出し配線層とを有し、前記下部シールド層、前記上部シールド層、前記下部電極引き出し配線層及び前記上部電極引き出し配線層に、それぞれ複数の孔が形成されており、前記下部シールド層と前記下部電極引き出し配線層との間の寄生容量と、前記上部シールド層と前記上部電極引き出し配線層との間の寄生容量とが、ほぼ等しくなるように、前記下部シールド層と前記下部電極引き出し配線層とが対向する部分の面積と、前記上部シールド層と前記上部電極引き出し配線層とが対向する部分の面積とが、それぞれ設定されていることを特徴とする半導体装置により達成される。

【0009】また、上記目的は、半導体基板の上方に、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子を形成する工程を有する半導体装置の製造方法において、前記容量素子を形成する工程の前に、複数の孔が形成された下部シールド層を形成する工程と、複数の孔が形成された下部電極引き出し配線層を形成する工程とを有し、前記容量素子を形成する工程の後に、複数の孔が形成された上部電極引き出し配線層を形成する工程と、複数の孔が形成された上部シールド層を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0010】

【発明の実施の形態】【第1実施形態】本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図19を用いて説明する。

【0011】(半導体装置)まず、本実施形態による半導体装置について図1乃至図3を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。図2及び図3は、本実施形態による半導体装置を示す平面図である。図1は、図2及び図3のA-A'線断面図である。

【0012】図1に示すように、例えばシリコンより成る半導体基板10上には、例えばSiO₂より成る層間絶縁膜12が形成されている。

【0013】層間絶縁膜12には、Cuより成る下部シールド層14が埋め込まれている。下部シールド層14は、容量素子、即ちMIM容量40にノイズが結合するのを防止するためのものである。

【0014】下部シールド層14には、図2(a)に示すように、複数の孔16が形成されている。下部シールド層14は、メッシュ状のパターンになっている。下部シールド層14のメッシュ状のパターンのピッチは、例えば1μmに設定されている。

【0015】下部シールド層14が埋め込まれた層間絶縁膜12上には、SiNより成るキャップ層18が形成されている。

【0016】キャップ層18上には、例えばSiO₂より成る層間絶縁膜20が形成されている。

【0017】層間絶縁膜20には、Cuより成る下部電極引き出し配線層22が埋め込まれている。

【0018】下部電極引き出し配線層22には、図2(b)に示すように、複数の孔24が形成されている。下部電極引き出し配線層22は、メッシュ状のパターンになっている。下部電極引き出し配線層22のパターンのピッチは、下部シールド層14のパターンのピッチと等しく設定されている。

【0019】下部電極引き出し配線層22のメッシュ状のパターンと、下部シールド層14のメッシュ状のパターンとは、図2(a)に示すように、互いに半ピッチ(1/2ピッチ)ずれている。

【0020】下部電極引き出し配線層22が埋め込まれた層間絶縁膜20上には、SiNより成るキャップ層24が形成されている。

【0021】キャップ層24上には、例えばSiO₂より成る層間絶縁膜26が形成されている。

【0022】層間絶縁膜26及びキャップ層24には、下部電極引き出し配線層22に達するビア28が埋め込まれている。

【0023】また、層間絶縁膜26には、下部電極裏打ち配線層30が埋め込まれている。下部電極裏打ち配線層30には、図2(b)に示すように、複数の孔32が形成されている。下部電極裏打ち配線層30は、メッシ

5

ュ状のパターンになっている。下部電極裏打ち配線層30のパターンのピッチは、下部シールド層14や下部電極引き出し配線層22のパターンのピッチと等しく設定されている。

【0024】ピア28及び下部電極裏打ち配線層30は、同一のCu層により一体に形成されている。

【0025】下部電極裏打ち配線層30上には、TiNより成る下部電極34と、SiO₂より成る容量絶縁膜36と、TiNより成る上部電極38とが形成されている。これら下部電極34、容量絶縁膜36及び上部電極38により、MIM容量40が構成されている。

【0026】また、MIM容量40の周囲の領域の層間絶縁膜26上には、SiNより成るキャップ層42が形成されている。キャップ層42上には、SiO₂より成る絶縁膜44が形成されている。絶縁膜44は、キャップ層42をバーニングする際に、ハードマスクとして機能するものである。絶縁膜44の上面の高さは、MIM容量40の上面の高さとほぼ等しくなっている。MIM容量40の周囲に、MIM容量40の上面とほぼ等しい高さを有する絶縁膜44が形成されているのは、MIM容量40及び絶縁膜44上に、表面の高さが全体として均一な層間絶縁膜46を形成するためである。

【0027】MIM容量40、キャップ層42、及び絶縁膜44が形成された層間絶縁膜26上には、層間絶縁膜46が形成されている。

【0028】層間絶縁膜46には、MIM容量40の上部電極38に達するピア48が埋め込まれている。

【0029】また、層間絶縁膜46には、上部電極引き出し配線層50が埋め込まれている。上部電極引き出し配線層50には、図3に示すように複数の孔52が形成されている。上部電極引き出し配線層50は、メッシュ状のパターンになっている。上部電極引き出し配線層50のパターンのピッチは、例えば1μmに設定されている。

【0030】ピア48及び上部電極引き出し配線層50は、同一のCu層により一体に形成されている。

【0031】上部電極引き出し配線層50が埋め込まれた層間絶縁膜46上には、SiNより成るキャップ層54が形成されている。

【0032】キャップ層54上には、例えばSiO₂より成る層間絶縁膜56が形成されている。

【0033】層間絶縁膜56には、Cuより成る上部シールド層58が埋め込まれている。上部シールド層58には、図3に示すように、複数の孔60が形成されている。上部シールド層58は、メッシュ状のパターンになっている。上部シールド層58のパターンのピッチは、上部電極引き出し配線層50のパターンのピッチと等しく設定されている。また、上部シールド層58のパターンと、上部電極引き出し配線層50のパターンとは、互いに半ピッチずれている。

6

【0034】上部シールド層58が埋め込まれた層間絶縁膜56上には、SiNより成るキャップ層62が形成されている。

【0035】こうして、本実施形態による半導体装置が構成されている。

【0036】下部シールド層14、下部電極引き出し配線層22、下部電極裏打ち配線層30、上部電極引き出し配線層50、及び上部シールド層58のメッシュ状のパターンの幅やピッチは、以下のような点を考慮して設定することが望ましい。

【0037】まず、所定の設計ルールを満たすことが望ましい。具体的には、パターンの最小幅、最大幅、最小面積、最大面積、面積占有率等の設計ルールを満たすことが望ましい。

【0038】また、下部シールド層14や上部シールド層58については、十分なシールド効果が得られるよう

にパターンの幅やパターンのピッチを設定することが望ましい。近年の半導体装置の動作周波数は100MHz程度が一般的であり、ハイエンドのプロセッサでは動作周波数が1GHz程度のものも存在する。将来的には、動作周波数が10GHz程度まで向上することも考えられる。動作周波数を10GHzとすると、動作周波数の10倍の高調波成分は100GHzとなり、動作周波数の100倍の高調波成分は1THzとなる。また、RFアプリケーションの使用周波数は、数百MHz～数十GHz程度である。そうすると、半導体装置の動作周波数やRFアプリケーションの使用周波数の高調波成分は、高くて1THz程度と考えられる。ここで、1THzの高調波成分を波長に換算すると、100μm以上である。メッシュ状のパターンのピッチを1μmに設定した場合、メッシュ状のパターンのピッチは、上述した高周波成分の波長の1/100程度である。よって、シールド層のメッシュ状のパターンのピッチを例えば1μm以下に設定すれば、シールド層をベタ状に形成した場合と同様のシールド効果が得られると考えられる。

【0039】本実施形態による半導体装置は、MIM容量の上方や下方にシールド層が形成されていることに主な特徴の一つがある。

【0040】従来の半導体装置では、MIM容量にノイズが結合してしまうことがあったが、本実施形態によれば、MIM容量の上方や下方にシールド層が形成されているため、MIM容量にノイズが結合するのを防止することができる。

【0041】また、本実施形態による半導体装置は、シールド層や引き出し配線層等のパターンがメッシュ状になっていることにも主な特徴の一つがある。

【0042】近年では、配線の面積占有率を所定の設計ルールの範囲内、例えば30%～80%の範囲内に收めることが要求されている。殊に、Cu配線等の場合には、アルミ配線等の場合より配線の面積占有率に関する

設計ルールが厳しく、例えば $20\mu m$ □の微小領域内でも配線の面積占有率を所定の範囲内に収めることが要求されている。シールド層や引き出し配線層のパターンをベタ状に形成した場合には、配線の面積占有率が局的に100%になってしまふ。このため、単にシールド層や引き出し配線層をベタ状に形成した場合には、所定の設計ルールを満たすことができない。

【0043】これに対し、本実施形態では、下部シールド層14、下部電極引き出し配線層22、下部電極裏打ち配線層30、上部電極引き出し配線層50、及び上部シールド層58のパターンがいずれもメッシュ状に形成されている。このため、本実施形態によれば、所定の設計ルールを満たしつつ、MIM容量にノイズが結合するのを防止することができる。

【0044】また、本実施形態による半導体装置は、下部シールド層14のメッシュ状のパターンと下部電極引き出し配線層22のメッシュ状のパターンとの位置関係が、互いに半ピッチずれていること、また、上部電極引き出し配線層50のメッシュ状のパターンと上部シールド層58のメッシュ状のパターンとの位置関係も互いに半ピッチずれることにも、主な特徴の一つがある。

【0045】シールド層のメッシュ状のパターンと引き出し配線層のメッシュ状のパターンとの相対的な位置関係が一致している場合には、シールド層と引き出し配線層との対向面積が大きくなり、シールド層と引き出し配線層との間に、ある程度の大きさの寄生容量が存在し、電気的特性に悪影響を及ぼす。

【0046】これに対し、本実施形態によれば、下部シールド層14のメッシュ状のパターンと下部電極引き出し配線層22のメッシュ状のパターンとの相対的な位置関係が、互いに半ピッチずれているため、下部シールド層14と下部電極引き出し配線層22との対向面積が小さくなり、下部シールド層14と下部電極引き出し配線層22との間の寄生容量を極めて小さくすることができる。また、本実施形態によれば、上部電極引き出し配線層50のメッシュ状のパターンと上部シールド層58のメッシュ状のパターンとの相対的な位置関係が、互いに半ピッチずれているため、上部電極引き出し配線層50と上部シールド層58との対向面積が小さくなり、上部電極引き出し配線層50と上部シールド層58との間の寄生容量を極めて小さくすることができる。このため、本実施形態によれば、寄生容量を小さく抑えつつ、ノイズがMIM容量40に結合するのを防止することができる。

【0047】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法を図4乃至図19を用いて説明する。図4乃至図19は、本実施形態による半導体装置の製造方法を示す工程断面図である。図4(a)は平面図であり、図4(b)及び図4(c)は断面図である。図4(b)は、図4(a)のA-A'線断面図で

ある。図5(a)は断面図であり、図5(b)は平面図であり、図5(c)は断面図である。図5(a)は、図5(b)のA-A'線断面図である。図6(a)は平面図であり、図6(b)及び図6(c)は断面図である。図7(a)は断面図であり、図7(b)は平面図である。図7(a)は、図7(b)のA-A'線断面図である。図8(a)は平面図であり、図8(b)及び図8(c)は断面図である。図8(a)は、図8(b)のA-A'線断面図である。図9(a)は平面図であり、図9(b)及び図9(c)は断面図である。図9(b)は、図9(a)のA-A'線断面図である。図10(a)及び図10(b)は断面図であり、図10(c)は平面図である。図10(b)は、図10(c)のA-A'線断面図である。図11(a)は平面図であり、図11(b)は断面図である。図12(a)乃至図13(b)は断面図である。図14(a)は断面図であり、図14(b)は平面図である。図14(a)は平面図であり、図14(b)は断面図である。図15(a)は平面図であり、図15(b)は断面図である。図15(b)は、図15(a)のA-A'線断面図である。図16(a)及び図16(b)は、断面図である。図17(a)及び図17(b)は平面図である。図18(a)乃至図19は断面図である。図18(a)は、図17(b)のA-A'線断面図である。

【0048】まず、例えばシリコンより成る半導体基板10上に、プラズマCVD法により、例えば膜厚600nmのSiO₂より成る層間絶縁膜12を形成する(図4(a)及び図4(b)参照)。

【0049】次に、全面に、スピニコート法により、レジスト膜64を形成する。

【0050】次に、フォトリソグラフィ技術を用い、レジスト膜64をパターニングする。これにより、レジスト膜64にメッシュ状のパターンが形成される。

【0051】次に、レジスト膜64をマスクとして、層間絶縁膜12をエッティングする。これにより、層間絶縁膜12に、下部シールド層14を埋め込むためのメッシュ状の溝66が形成される。

【0052】次に、図4(c)に示すように、全面に、めっき法により、例えば厚さ600nmのCu層68を形成する。Cu層68は、下部シールド層14を形成するためのものである。

【0053】次に、図5(a)に示すように、CMP法により、層間絶縁膜12の表面が露出するまで、Cu層を研磨する。これにより、層間絶縁膜12に形成されたメッシュ状の溝66内に、Cuより成る下部シールド層14が埋め込まれる。

【0054】こうして、図5(b)に示すように、メッシュ状のシールド層14が形成される。

【0055】次に、図5(c)に示すように、全面に、プラズマCVD法により、例えば厚さ50nmのSiN

より成るキャップ層18を形成する。

【0056】次に、全面に、例えばSiO₂より成る層間絶縁膜20を形成する(図6(a)及び図6(b)参照)。

【0057】次に、全面に、スピンドルコート法により、レジスト膜68を形成する。

【0058】次に、フォトリソグラフィ技術を用い、レジスト膜68をパターニングする。これにより、レジスト膜68に、メッシュ状のパターンが形成される。

【0059】次に、レジスト膜68をマスクとして、層間絶縁膜20をエッチングする。これにより、層間絶縁膜20に、下部電極引き出し配線層22を埋め込むためのメッシュ状の溝70が形成される。

【0060】次に、図6(c)に示すように、全面に、めっき法により、厚さ600nmのCu層72を形成する。Cu層72は、下部電極引き出し配線層22を形成するためのものである。

【0061】次に、CMP法により、層間絶縁膜20の表面が露出するまで、Cu層72を研磨する。これにより、層間絶縁膜20に形成されたメッシュ状の溝70内に、Cuより成る下部電極引き出し配線層22が埋め込まれる(図7(a)参照)。

【0062】こうして、図7(b)に示すように、メッシュ状のシールド層22が形成される。

【0063】次に、全面に、例えば厚さ50nmのSiNより成るキャップ層24を形成する。

【0064】次に、全面に、例えばSiO₂より成る層間絶縁膜26を形成する(図8(a)及び図8(b)参照)。

【0065】次に、全面に、スピンドルコート法により、レジスト膜74を形成する。

【0066】次に、フォトリソグラフィ技術を用い、レジスト膜をパターニングする。これにより、レジスト膜74に、層間絶縁膜26に達する開口部76が形成される。

【0067】次に、レジスト膜74をマスクとして、層間絶縁膜26をエッチングする。これにより、層間絶縁膜26に、キャップ層24に達するコンタクトホール78が形成される(図8(c)参照)。

【0068】次に、全面に、スピンドルコート法により、レジスト膜80を形成する(図9(a)及び図9(b)参照)。

【0069】次に、フォトリソグラフィ技術を用い、レジスト膜80をパターニングする。これにより、レジスト膜80に、メッシュ状のパターンが形成される。

【0070】次に、レジスト膜80をマスクとして、層間絶縁膜26をエッチングする。これにより、層間絶縁膜26に、ピア28及び下部電極裏打ち配線層30を埋め込むためのメッシュ状の溝82が形成される。

【0071】次に、図9(c)に示すように、コンタク

トホール78内に露出しているキャップ層24をエッチングする。こうして、下部電極引き出し配線層22に達するコンタクトホール78が形成される。

【0072】次に、図10(a)に示すように、全面に、めっき法により、厚さ600nmのCu層84を形成する。Cu層84は、下部電極裏打ち配線層30及びピア28を形成するためのものである。

【0073】次に、CMP法により、層間絶縁膜26の表面が露出するまで、Cu層84を研磨する。こうして、層間絶縁膜26に形成された溝82内にCuより成るメッシュ状の下部電極裏打ち配線層30が埋め込まれるとともに、コンタクトホール78内にCuより成るピア28が埋め込まれる(図10(b)、図10(c)参照)。

【0074】次に、全面に、プラズマCVD法により、厚さ50nmのSiNより成るキャップ層42を形成する(図11(a)及び図11(b)参照)。

【0075】次に、全面に、プラズマCVD法により、膜厚150nmのSiO₂より成る絶縁膜44を形成する。絶縁膜44は、キャップ層42をエッチングする際に、ハードマスクとして機能するものである。

【0076】次に、全面に、スピンドルコート法により、レジスト膜86を形成する。この後、フォトリソグラフィ技術を用い、レジスト膜86に開口部88を形成する。

【0077】次に、レジスト膜86をマスクとして、絶縁膜44をエッチングする。

【0078】次に、絶縁膜44をマスクとして、キャップ層42をエッチングする。

【0079】次に、図12(a)に示すように、全面に、スパッタ法により、膜厚70nmのTiN膜33を形成する。TiN膜33は、下部電極34を形成するためのものである。

【0080】次に、全面に、プラズマCVD法により、膜厚30nmのSiO₂膜35を形成する。SiO₂膜35は、容量絶縁膜36を形成するためのものである。

【0081】次に、全面に、スパッタ法により、膜厚100nmのTiN膜37を形成する。TiN膜37は、上部電極38を形成するためのものである。

【0082】こうして、TiN膜33、SiO₂膜35及びTiN膜37より成る積層膜39が形成される。

【0083】次に、全面に、スピンドルコート法により、レジスト膜90を形成する。この後、フォトリソグラフィ技術を用い、レジスト膜90をパターニングする(図12(b)参照)。レジスト膜90は、積層膜39をMIM容量40の形状にパターニングするためのものである。

【0084】次に、レジスト膜90をマスクとして積層膜39をエッチングする。絶縁膜44は、表面の高さを均一化するスペーサとして機能する。こうして、積層膜39より成るMIM容量40が形成される(図13

(a) 参照)。

【0085】次に、図13(b)に示すように、全面に、例えば高密度プラズマCVD法により、膜厚200nmのSiO₂より成る層間絶縁膜46を形成する。MIM容量40の上面の高さと絶縁膜44の上面の高さとがほぼ等しいため、層間絶縁膜46の表面の高さは全体としてほぼ均一になる。

【0086】なお、MIM容量40が形成されている領域と絶縁膜44が形成されている領域との間の部分では、図13(b)に示すように、層間絶縁膜46の表面に凹み92が生じるが、層間絶縁膜46の表面の高さが全体としてほぼ均一になるため、後工程で層間絶縁膜46の表面をCMP法により均一に研磨することが可能である。

【0087】次に、CMP法により、層間絶縁膜46の表面を研磨する。これにより、表面が平坦化された層間絶縁膜46が得られる(図14(a)及び図14(b)参照)。

【0088】次に、全面に、スピニコート法により、レジスト膜94を形成する(図15(a)及び図15(b)参照)。

【0089】次に、フォトリソグラフィ技術を用い、レジスト膜94をパターニングする。これにより、レジスト膜94に、コンタクトホール98を形成するための開口部96が形成される。

【0090】次に、レジスト膜94をマスクとして、層間絶縁膜46をエッチングする。これにより、層間絶縁膜46に、MIM容量40の上部電極38に達するコンタクトホール98が形成される(図16(a)参照)。

【0091】次に、フォトリソグラフィ技術を用い、層間絶縁膜46に、メッシュ状の溝100を形成する(図16(b)参照)。メッシュ状の溝100は、層間絶縁膜46に、上部電極引き出し配線層50を埋め込むためのものである。

【0092】次に、全面に、めっき法により、例えば厚さ600nmのCu層を形成する。Cu層は、コンタクトホール98内にピア48を埋め込むとともに、メッシュ状の溝100内に上部電極引き出し配線層50を埋め込むためのものである。

【0093】次に、CMP法により、層間絶縁膜46の表面が露出するまでCu層の表面を研磨する。こうして、コンタクトホール98内にCuより成るピア48が埋め込まれるとともに、メッシュ状の溝100内に上部電極引き出し配線層50が埋め込まれる。こうして、メッシュ状の上部電極引き出し配線層50が形成される(図17(a)参照)。

【0094】次に、全面に、プラズマCVD法により、厚さ50nmのSiNより成るキャップ層54を形成する。

【0095】次に、全面に、プラズマCVD法により、

膜厚600nmのSiO₂より成る層間絶縁膜56を形成する(図17(b)及び図18(a)参照)。

【0096】次に、全面に、スピニコート法により、レジスト膜102を形成する。

【0097】次に、リソグラフィ技術を用い、レジスト膜102をパターニングする。これにより、レジスト膜102に、メッシュ状の溝104を形成するためのパターンが形成される。

【0098】次に、レジスト膜102をマスクとして、層間絶縁膜56をエッチングする。これにより、層間絶縁膜56に、上部シールド層58を埋め込むためのメッシュ状の溝104が形成される。

【0099】次に、図18(b)に示すように、全面に、めっき法により、厚さ600nmのCu層106を形成する。

【0100】次に、CMP法により、層間絶縁膜56の表面が露出するまでCu層106を研磨する。これにより、メッシュ状の溝104内にCuより成る上部シールド層58が埋め込まれる(図19参照)。

【0101】次に、全面に、厚さ150nmのSiNにより成るキャップ層62を形成する。

【0102】こうして、本実施形態による半導体装置が製造される。

【0103】本実施形態による半導体装置の製造方法は、MIM容量40が形成される領域の周囲に、MIM容量40の上面の高さとほぼ等しい高さを有する絶縁膜44を形成し、MIM容量40を形成した後に、絶縁膜44を除去することなく、層間絶縁膜46を形成することに主な特徴がある。

【0104】配線層等の材料としてCu等を用いる場合には、ダマシン法を用いて層間絶縁膜に配線層等を埋め込むが、ダマシン法を用いて層間絶縁膜に配線層等を埋め込むためには、層間絶縁膜の表面が平坦であることが必要である。MIM容量の上方に単に層間絶縁膜を形成した場合、MIM容量の上方で層間絶縁膜の表面が盛り上がりてしまい、層間絶縁膜の表面に段差が生じてしまう。この場合に層間絶縁膜の表面に生じる段差は、CMP法により平坦化し得る限界を超えるものである。このため、MIM容量の上方に単に層間絶縁膜を形成した場合には、ダマシン法を用いて層間絶縁膜に配線層等を埋め込むことは困難であった。

【0105】なお、配線層等の材料としてエッチングが容易な材料を用いる場合には、ダマシン法を用いる必要がないため、表面に段差が生じた層間絶縁膜上に配線層等を形成することは可能である。しかし、表面に段差が生じた層間絶縁膜上に配線層等を形成した場合には、配線層等に断線が生じる虞があり、高い信頼性を得ることができない。また、表面に段差が生じていると、フォトリソグラフィにおける焦点深度を確保することが困難であるため、微細なパターンを形成することは困難である。

る。このため、従来は、MIM容量を形成しうる層は、最上層付近に限定されていた。

【0106】これに対し、本実施形態によれば、MIM容量40の周囲に、MIM容量40の上面とほぼ等しい高さを有する絶縁膜44を形成するため、層間絶縁膜46の表面がMIM容量40の上方で盛り上がってしまうのを防止することができ、層間絶縁膜46の表面の高さを全体としてほぼ均一にすることができる。このため、本実施形態によれば、層間絶縁膜46の表面をCMP法により平坦化することが可能となり、ダマシング法により上部電極引き出し配線層50等を層間絶縁膜46等に埋め込むことが可能となる。従って、本実施形態によれば、上部電極引き出し配線層50等の材料としてCu等を用いることが可能となる。

【0107】また、本実施形態によれば、表面の平坦な層間絶縁膜46に上部電極引き出し配線層50を埋め込むことができるので、上部電極引き出し配線層50に断線等が生じるのを防止することができ、高い信頼性を得ることが可能となる。

【0108】また、本実施形態によれば、MIM容量40上に層間絶縁膜46等を平坦に形成することが可能となるため、MIM容量40より上層に微細パターンを形成することが可能となり、最上層付近に限定されることなくMIM容量40を形成することが可能となる。

【0109】また、本実施形態によれば、最上層付近に限定されることなくMIM容量40を形成することができるので、MIM容量40や上部電極引き出し配線層50の上方に上部シールド層58等を形成することも可能となる。

【0110】また、本実施形態によれば、絶縁膜44は、キャップ層42をバーニングするためのハードマスクを兼ねるものである。従って、本実施形態によれば、工程の増加を招くことなく、表面の高さがほぼ均一な層間絶縁膜46を形成することが可能となる。

【0111】(変形例(その1)) 次に、本実施形態の変形例(その1)による半導体装置を図20を用いて説明する。図20は、本変形例による半導体装置を示す断面図である。

【0112】本変形例による半導体装置は、MIM容量40aの上部電極38aの厚さが200nmと厚く設定されていることに主な特徴がある。

【0113】図20に示すように、層間絶縁膜26に配線層108が埋め込まれている場合、上層の配線層(図示せず)と配線層108とを電気的に接続するため、配線層108に達するコンタクトホール110を形成することが必要となる。

【0114】配線層108に達するコンタクトホール110は、キャップ層42をエッチングストップとして層間絶縁膜46及び絶縁膜44をエッチングし、更に、露出したキャップ層42をエッチングすることにより形成

される。

【0115】しかし、MIM容量40aの上部電極38aに達するコンタクトホール98の深さに比べて、配線層108に達するコンタクトホール110の深さの方が深いため、コンタクトホール110を形成する過程で、コンタクトホール98内に露出したMIM容量40aの上部電極38aの表面がエッチャリングされる場合があり得る。この場合、MIM容量40aの上部電極38aの厚さが薄いと、コンタクトホール98がMIM容量40aの上部電極38aを突き抜けて、容量絶縁膜36にまで達してしまうこととなる。

【0116】そこで、本変形例では、MIM容量40aの上部電極38aの厚さを厚く設定することにより、コンタクトホール110を形成する過程でコンタクトホール98がMIM容量40aの上部電極38を突き抜けて容量絶縁膜36に達してしまうのを防止している。

【0117】なお、上部電極38aを厚く形成するのに伴い、絶縁膜44についても厚く形成し、絶縁膜44の高さとMIM容量40aの高さとを等しく設定すること

20 が望ましい。

【0118】このように本変形例によれば、MIM容量40aの上部電極38aが厚く形成されているため、配線層108に達する深いコンタクトホール110を形成する場合であっても、コンタクトホール98がMIM容量40aの上部電極38を突き抜けて容量絶縁膜36に達してしまうのを防止することができる。

【0119】(変形例(その2)) 次に、本実施形態の変形例(その2)による半導体装置を図21を用いて説明する。図21は、本変形例による半導体装置を示す断面図である。

【0120】本変形例による半導体装置は、MIM容量40b上に、エッチャリングストップ膜112が形成されていることに主な特徴がある。

【0121】図21に示すように、本変形例では、MIM容量40b上にSiNより成る膜厚50nmのエッチャリングストップ膜112が形成されている。

【0122】図20に示す半導体装置では、MIM容量40aの上部電極38aを厚く形成することにより、コンタクトホール98がMIM容量40bの上部電極38aを突き抜けて容量絶縁膜36に達してしまうのを防止していたが、本変形例では、MIM容量40bの上部電極38b上にエッチャリングストップ膜112を形成することにより、コンタクトホール98がMIM容量40bの上部電極38bを突き抜けて容量絶縁膜36に達してしまうのを防止している。

【0123】このように、MIM容量40b上にエッチャリングストップ膜112を形成することによっても、コンタクトホール98がMIM容量40bの上部電極38bを突き抜けて容量絶縁膜36に達してしまうのを防止することができる。

【0124】[第2実施形態] 本発明の第2実施形態による半導体装置を図22を用いて説明する。図22は、本実施形態による半導体装置のパターンのレイアウトを示す平面図である。図1乃至図21に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0125】本実施形態による半導体装置は、MIM容量、引き出し配線層、シールド層等が形成される領域が、内部の基本ブロック114と、周辺部の基本ブロック116と、コーナー部の基本ブロック118とに区分されており、これらの基本ブロック114、116、118を適宜組み合わせることによりMIM容量、引き出し配線層及びシールド層等が構成されていることに主な特徴がある。

【0126】内部の基本ブロック114は、MIM容量40の内側の部分を構成する基本ブロックである。内部の基本ブロック114のパターンは、MIM容量40の内側の部分を構成する基本パターン 40_{p1} と、上部電極引き出し配線層50の内側の部分を構成する基本パターン 50_{p1} と、上部シールド層58の内側の部分を構成する基本パターン 58_{p1} と、下部電極裏打ち配線層30の内側の部分を構成する基本パターン(図示せず)と、下部電極引き出し配線層22の内側の部分を構成する基本パターン(図示せず)とにより構成されている。なお、下部電極裏打ち配線層30の内側の部分を構成する基本パターンの形状及び下部電極引き出し配線層22の内側の部分を構成する基本パターンの形状は、上部電極引き出し配線層50の内側の部分を構成する基本パターン 50_{p1} の形状と等しく設定されている。また、下部シールド層14の内側の部分を構成する基本パターンの形状は、上部シールド層58の内側の部分を構成する基本パターン 58_{p1} の形状と等しく設定されている。

【0127】周辺部の基本ブロック116は、MIM容量40の周縁を含む部分を構成する基本ブロックである。周辺部の基本ブロック116のパターンは、MIM容量40の周縁部を含む部分を構成する基本パターン 40_{p2} と、上部電極引き出し配線層50の周縁を含む部分を構成する基本パターン 50_{p2} と、上部シールド層58の周縁を含む部分を構成する基本パターン 58_{p2} と、下部電極裏打ち配線層30の周縁を含む部分を構成する基本パターン(図示せず)と、下部電極引き出し配線層22の周縁を含む部分を構成する基本パターン(図示せず)と、下部シールド層14の周縁を含む部分を構成する基本パターン(図示せず)とにより構成されている。下部電極裏打ち配線層30の周縁を含む部分を構成する基本パターンの形状、及び下部電極引き出し配線層22の周縁を含む部分を構成する基本パターンの形状は、上部電極引き出し配線層50の周縁を含む部分を構成する基本パターン 50_{p2} の形状と等しく設定される。

基本パターン 50_{p1} の形状と等しく設定されている。また、下部シールド層14の周縁を含む部分を構成する基本パターンの形状は、上部シールド層58の周縁を含む部分のパターンを構成する基本パターン 58_{p2} の形状と等しく設定されている。

【0128】コーナー部の基本ブロック118は、MIM容量40の角を含む部分を構成する基本ブロックである。コーナー部の基本ブロック118のパターンは、MIM容量40の角を含む部分を構成する基本パターン 40_{p3} と、上部電極引き出し配線層50の角を含む部分を構成する基本パターン 50_{p3} と、上部シールド層58の角を含む部分を構成する基本パターン 58_{p3} と、下部電極裏打ち配線層30の角を含む部分を構成する基本パターン(図示せず)と、下部電極引き出し配線層22の角を含む部分を構成する基本パターン(図示せず)と、下部シールド層14の角を含む部分を構成する基本パターン(図示せず)により構成されている。下部電極裏打ち配線層30の角を含む部分を構成する基本パターンの形状、及び下部電極引き出し配線層22の角を含む部分を構成する基本パターンの形状は、上部電極引き出し配線層50の角を含む部分を構成する基本パターン 50_{p3} の形状と等しく設定されている。また、下部電極引き出し配線層22の角を含む部分を構成する基本パターンの形状は、上部シールド層58の角を含む部分を構成する基本パターン 58_{p3} の形状と等しく設定されている。

【0129】内部の基本ブロック114、周辺部の基本ブロック116、及びコーナー部の基本ブロック118の繰り返しピッチは、例えば $1\mu m$ に設定されている。ここで、繰り返しピッチとは、これらの基本ブロック114、116、118のパターンを繰り返して配置する際のピッチのことである。

【0130】内部の基本ブロック114の基本パターンは、MIM容量40の内側の領域に、例えば横4列、縦3列で配置されている。

【0131】また、周辺部の基本ブロック116の基本パターンは、MIM容量40の周縁を含む領域に、例えば合計で14個配置されている。

【0132】また、コーナー部の基本ブロック118の基本パターンは、MIM容量40の角を含む領域に、合計で4個配置されている。

【0133】このようにして基本ブロック114、116、118のパターンを組み合わせると、例えば横 $5\mu m$ 、縦 $4\mu m$ のMIM容量40のパターンが構成される。なお、ここでは、基本ブロック114、116、118のパターンの重ねしろは $0\mu m$ に設定されている。

【0134】内部の基本ブロック114を1つ配置した場合に得られるMIM容量40の容量値を C_1 とし、周辺部の基本ブロック116を1つ配置した場合に得られるMIM容量40の容量値を C_2 とし、コーナー部の基本ブロック118を1つ配置した場合に得られるMIM

17

容量40の容量値を C_3 とし、内部の基本ブロック114の配置数を n_1 、周辺部の基本ブロックの配置数を n_2 、コーナー部の基本ブロックの配置数を n_3 とする。これらの基本ブロック114、116、118を配置して得られるMIM容量40の容量値 C は、

$$C = C_3 \times n_1 + C_2 \times n_2 + C_1 \times n_3$$
 で表される。

【0135】図22から分かるように、周辺部の基本ブロック116におけるMIM容量40を構成する部分の基本パターン40_{2,1}の面積は、内部の基本ブロック114におけるMIM容量40を構成する部分の基本パターン40_{1,1}の面積の1/2である。そうすると、周辺部の基本ブロック116を1つ配置した場合に得られるMIM容量40の容量値 C_2 は、

$$C_2 = C_1 / 2$$

で表される。

$$\begin{aligned} C &= C_3 \times n_1 + C_2 \times n_2 + C_1 \times n_3 \\ &= C_1 \times 12 + (C_1 / 2) \times 14 + (C_1 / 4) \times 4 \\ &= C_1 \times 20 \end{aligned}$$

*

となる。

【0139】ここで、容量値 C_1 が例えば1pFである場合には、MIM容量40の容量値 C は、上記の式により例えば20pFと算出することができる。

【0140】このように、本実施形態によれば、各基本ブロック114、116、118の配置により得られる容量値 C_1 、 C_2 、 C_3 と、各基本ブロック114、116、118の配置数 n_1 、 n_2 、 n_3 とにより、MIM容量40の容量値 C を容易に算出することができる。

【0141】なお、基本パターンの幅は、最大配線幅、最小配線幅、最小配線間隔、配線の面積占有率等の設計ルールを満足するように設定することが望ましい。例えば、最大配線幅の制限が2μm、最小配線幅の制限が0.3μm、最小配線間隔の制限が0.3μm、配線の面積占有率の制限が20μm²領域内で30~80%である場合には、基本ブロックを配置する周期を1μm、配線幅を0.4μm、繰り返しピッチを1μmとすれば、最大配線幅の制限、最小配線幅の制限、最小配線間隔の制限等を十分満足し得る。この場合、内部の基本ブロック114において、引き出し配線層やシールド層のパターンの面積占有率を、1μm²の領域内で例えば64%程度とすることができる。

【0142】また、図22から分かるように、周辺部の基本ブロック116やコーナー部の基本ブロック118では、内部の基本ブロック114と比較して、配線の面積占有率が小さくなるが、1μm²程度の微小領域内における面積占有率は、必ずしも厳密に満たす必要はないため、特段の問題はない。1μm²の微小領域内における面積占有率を厳密に満たすことが必要な場合には、周辺部の基本ブロック116やコーナー部の基本ブロック118にダミーパターンを配置するようにしてもよい。

18

* 【0136】また、図22から分かるように、コーナー部の基本ブロック118におけるMIM容量40の部分を構成する基本パターン40_{1,1}の面積は、内部の基本ブロック114におけるMIM容量40を構成する基本パターン40_{1,1}の面積の1/4である。そうすると、コーナー部の基本ブロック118を1つ配置した場合に得られるMIM容量40の容量値 C_3 は、

$$C_3 = C_1 / 4$$

で表される。

10 【0137】また、上述したように、本実施形態では、内部の基本ブロック114の配置数 n_1 は12であり、周辺部の基本ブロック116の配置数 n_2 は14であり、コーナー部の基本ブロック118の配置数 n_3 は4個としている。

【0138】そうすると、MIM容量40の容量値 C は、

$$\begin{aligned} C &= C_3 \times n_1 + C_2 \times n_2 + C_1 \times n_3 \\ &= C_1 \times 12 + (C_1 / 4) \times 14 + (C_1 / 4) \times 4 \end{aligned}$$

20 【0143】このように、本実施形態によれば、複数の基本ブロックを適宜配置することによりMIM容量、引き出し配線層、及びシールド層等のパターンを構成することができるため、CAD等を用いてMIM容量、引き出し配線層、及びシールド層等のパターンを容易に構成することができる。

【0144】また、本実施形態によれば、各基本ブロックの配置により得られる容量値 C_1 、 C_2 、 C_3 と各基本ブロックの配置数 n_1 、 n_2 、 n_3 とから、容易にMIM容量の容量値 C を算出することができるため、設計の容易化を図ることができる。

【0145】(変形例) 次に、本実施形態による半導体装置の製造方法の変形例を図23を用いて説明する。図23は、本変形例による半導体装置のパターンのレイアウトを示す平面図である。

【0146】図23に示すように、本変形例による半導体装置は、MIM容量の大きさに対して、シールド層が一回り大きく形成されていることに主な特徴がある。

【0147】本変形例による半導体装置は、MIM容量40等が形成される領域が、内部の基本ブロック114、内側周辺部の基本ブロック120、内側コーナー部の基本ブロック122、外側周辺部の基本ブロック124、外側コーナー部の基本ブロック126とに区分されており、これら基本ブロック114、120、122、124、126を適宜組み合わせることによりMIM容量40等が構成されていることに主な特徴がある。

【0148】内部の基本ブロック114については、図22を用いて上述した内部の基本ブロック114と同様であるため、ここでは説明を省略する。

【0149】内側周辺部の基本ブロック120は、MIM容量40の周縁を含む部分を構成する基本ブロックで

50

ある。内側周辺部の基本ブロック120のパターンは、MIM容量40の周縁部を含む部分を構成する基本パターン40_aと、上部電極引き出し配線層50aの内側の部分を構成する基本パターン50_aと、上部シールド層58aの周縁を含む部分を構成する基本パターン58_aと、下部電極裏打ち配線層(図示せず)の内側の部分を構成する基本パターン(図示せず)と、下部電極引き出し配線層(図示せず)の内側の部分を構成する基本パターン(図示せず)と、下部シールド層(図示せず)の内側の部分を構成する基本パターン(図示せず)とにより構成されている。なお、下部電極裏打ち配線層の内側の部分を構成する基本パターンの形状、及び下部電極引き出し配線層の内側の部分を構成する基本パターンの形状は、上部電極引き出し配線層50aの内側の部分を構成する基本パターン50_aの形状と等しく設定されている。また、下部シールド層の内側の部分を構成する基本パターンの形状は、上部シールド層58aの周縁を含む部分を構成する基本パターン58_aの形状と等しく設定されている。

【0150】内部コーナー部の基本ブロック122は、MIM容量40の角を含む部分を構成する基本ブロックである。コーナー部の基本ブロック122のパターンは、MIM容量40の角を含む部分を構成する基本パターン40_sと、上部電極引き出し配線層50aの内側の部分を構成する基本パターン50_sと、上部シールド層58aの内側の部分を構成する基本パターン58_sと、下部電極裏打ち配線層(図示せず)の内側の部分を構成する基本パターン(図示せず)と、下部電極引き出し配線層(図示せず)の内側の部分を構成する基本パターン(図示せず)と、下部シールド層(図示せず)の内側の部分を構成する基本パターン(図示せず)とにより構成されている。なお、下部電極裏打ち配線層の内側の部分を構成する基本パターンの形状、及び、下部電極引き出し配線層の内側の部分を構成する基本パターンの形状は、上部電極引き出し配線層50aの内側の部分を構成する基本パターン50_sの形状と等しく設定されている。また、下部シールド層の内側の部分を構成する基本パターンの形状は、シールド層58aの内側の部分を構成する基本パターン58_sの形状と等しく設定されている。

【0151】外側周辺部の基本ブロック124は、上部電極引き出し配線層50aの周縁を含む部分を構成する基本ブロックである。外側周辺部の基本ブロック124のパターンは、上部電極引き出し配線層50aの周縁を含む部分のパターンを構成する基本パターン50_aと、上部シールド層58aの周縁を含む部分のパターンを構成する基本パターン58_aと、下部電極裏打ち配線層(図示せず)の周縁を含む部分のパターンを構成する基本パターン(図示せず)と、下部電極引き出し配線層(図示せず)の周縁を含む部分のパターンを構成する基

本パターン(図示せず)と、下部シールド層(図示せず)の周縁を含む部分のパターンを構成する基本パターン(図示せず)とにより構成されている。なお、下部電極裏打ち配線層の周縁を含む部分のパターンを構成する基本パターンの形状、及び下部電極引き出し配線層の周縁を含む部分のパターンを構成する基本パターンの形状は、上部電極引き出し配線層50aの周縁を含む部分のパターンを構成する基本パターン50_aの形状と等しく設定されている。また、下部シールド層の周縁を含む部分のパターンを構成する基本パターンの形状は、上部シールド層58aの周縁を含む部分のパターンを構成する基本パターン58_aの形状と等しく設定されている。

【0152】外側コーナー部の基本ブロック126は、上部電極引き出し配線層50aの角を含む部分を構成する基本ブロックである。外部コーナー部の基本ブロック124のパターンは、上部電極引き出し配線層50aの角を含む部分を構成する基本パターン50_sと、上部シールド層58aの角を含む部分を構成する基本パターン58_sと、下部電極裏打ち配線層(図示せず)の角を含む部分を構成する基本パターン(図示せず)と、下部電極引き出し配線層22の角を含む部分を構成する基本パターン(図示せず)と、下部シールド層(図示せず)の角を含む部分を構成する基本パターン(図示せず)とにより構成されている。なお、下部電極裏打ち配線層の角を含む部分を構成する基本パターンの形状、及び下部電極引き出し配線層の角を含む部分を構成する基本パターンの形状は、上部電極引き出し配線層50aの角を含む部分を構成する基本パターン50_sの形状と等しく設定されている。また、下部シールド層の角を含む部分を構成する基本パターンの形状は、上部シールド層58aの角を含む部分を構成する基本パターン58_sの形状と等しく設定されている。

【0153】このように、本変形例によれば、MIM容量40の大きさに対してシールド層が一回り大きく形成されているため、MIM容量にノイズが結合するのを、より防止することができる。

【0154】〔第3実施形態〕本発明の第3実施形態による半導体装置を図24及び図25を用いて説明する。図24は、本実施形態による半導体装置を示す断面図である。図25は、本実施形態による半導体装置を示す平面図である。図25(a)は、上部シールド層、上部電極引き出し配線層及びMIM容量を示す平面図である。図25(b)は、下部シールド層、下部電極引き出し配線層及びMIM容量を示す平面図である。図1乃至図23に示す第1又は第2実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0155】本実施形態による半導体装置は、下部電極引き出し配線層22と下部シールド層14aとの間隔が、上部電極引き出し配線層50と上部シールド層58

bとの間隔と異なる場合に、下部シールド層14aのパターンと上部シールド層58bのパターンとを異なる幅に設定することにより、下部電極引き出し配線層22と下部シールド層14aとの間の寄生容量と、上部電極引き出し配線層50と上部シールド層58bとの間の寄生容量とをほぼ等しく設定することに主な特徴がある。

【0156】図25に示すように、下部シールド層14aのメッシュ状のパターンの幅 w_{s1} は、例えば0.3μmに設定されている。

【0157】下部電極引き出し配線層22のメッシュ状のパターンの幅 w_{o1} は、例えば0.4μmに設定されている。

【0158】下部電極裏打ち配線層30のメッシュ状のパターンの幅は、下部電極引き出し配線層22のメッシュ状のパターンの幅と等しく設定されている。

【0159】層間絶縁膜20aの厚さ d_1 は、例えば400nmとなっている。

【0160】層間絶縁膜56aの厚さ d_2 は、例えば800nmとなっている。

【0161】層間絶縁膜20aの材料と層間絶縁膜56aの材料は、同一の材料が用いられており、層間絶縁膜20aの誘電率 ϵ_1 と層間絶縁膜56aの誘電率 ϵ_2 とは互いに等しくなっている。

【0162】上部電極引き出し配線層50のメッシュ状のパターンの幅 w_{o2} は、例えば0.4μmに設定されている。

【0163】上部シールド層58のメッシュ状のパターンの幅 w_{s2} は、例えば0.6μmに設定されている。

【0164】ここで、下部シールド層14、下部電極引き出し配線層22、上部電極引き出し配線層50及び上部シールド層58のメッシュ状のパターンの幅の設計手法について説明する。

【0165】下部電極引き出し配線層22と下部シールド層14aとの間の対向面積を S_1 とし、上部電極引き出し配線層50と上部シールド層58bとの間の対向面積を S_2 とする。また、下部電極引き出し配線層22と下部シールド層14aとの間の寄生容量を C_1 とし、上部電極引き出し配線層50と上部シールド層58bとの間の寄生容量を C_2 とする。

【0166】下部電極引き出し配線層22と下部シールド層14aとの間の寄生容量 C_1 は、 $C_1 = \epsilon_1 \times (S_1 / d_1)$ により表される。

【0167】また、上部電極引き出し配線層50と上部シールド層58bとの間の寄生容量 C_2 は、 $C_2 = \epsilon_2 \times (S_2 / d_2)$ により表される。

【0168】ここで、 $d_1 / d_2 = a$ とおくと、 $C_1 = C_2$ となるためには、 $S_1 / S_2 = a$ となることが必要である。

【0169】下部電極引き出し配線層22のメッシュ状のパターンと下部シールド層14aのメッシュ状のパターンとが対向する部分の数をnとすると、対向面積 S_1 は、

$$S_1 = n \times (w_{o1} \times w_{s1})$$

により表される。

【0170】また、上部電極引き出し配線層50のメッシュ状のパターンと上部シールド層58bのメッシュ状のパターンとが対向する部分の数をnとすると、対向面積 S_2 は、

$$S_2 = n \times (w_{o2} \times w_{s2})$$

により表される。

【0171】よって、下部シールド層14a、下部電極引き出し配線層22、上部電極引き出し配線層50、及び上部シールド層58bのメッシュ状のパターンの幅は、

$$S_1 / S_2 = (w_{o1} \times w_{s1}) / (w_{o2} \times w_{s2}) = a$$

となるように、それぞれ設定すればよい。

【0172】メッシュ状のパターンについては、上述したような設計ルールを満足するように設定することを要するが、上述したように、下部シールド層14aのメッシュ状のパターンの幅 w_{s1} を0.3μmとし、下部電極引き出し配線層22のメッシュ状のパターンの幅 w_{o1} を

20 0.4μmとし、上部電極引き出し配線層50のメッシュ状のパターンの幅 w_{o2} を0.4μmとし、上部シールド層58bのメッシュ状のパターンの幅 w_{s2} を0.6μmとすれば、上述した設計ルールを満足するため特段の問題はない。

【0173】このように、本実施形態によれば、下部シールド層14aと下部電極引き出し配線層22との間隔 d_1 と、上部電極引き出し配線層50と上部シールド層58bとの間隔 d_2 が異なる場合であっても、下部シールド層14aの幅 w_{s1} と上部シールド層58aの幅 w_{s2} とを異ならすことにより、下部シールド層14aと下部電極引き出し配線層22との間の寄生容量 C_1 と、上部電極引き出し配線層50と上部シールド層58aとの間の寄生容量 C_2 とをほぼ等しく設定することができる。

30 本実施形態によれば、下部シールド層14aと下部電極引き出し配線層22との間の寄生容量 C_1 と、上部電極引き出し配線層50と上部シールド層58bとの間の寄生容量 C_2 とをほぼ等しくすることができるため、電気的特性の対称性を向上することができる。

【0174】(変形例) 次に、本実施形態の変形例による半導体装置を図26及び図27を用いて説明する。図26は、本変形例による半導体装置を示す断面図である。図27は、本変形例による半導体装置を示す平面図である。図27(a)は、上部シールド層、上部電極引き出し配線層及びMIM容量を示す平面図である。図27(b)は、下部シールド層、下部電極引き出し配線層及びMIM容量を示す平面図である。

【0175】本変形例による半導体装置は、下部シールド層14bのメッシュ状のパターンの幅 w_{s1} を狭く設定しているのみならず、下部電極引き出し配線層22aのメッシュ状のパターンの幅 w_{o1} をも狭く設定し、また、上部シールド層58cのメッシュ状のパターンの幅 w_{s2} を広く設定しているのみならず、上部電極引き出し配線層50aのメッシュ状のパターンの幅 w_{o2} をも広く設定していることに主な特徴がある。

【0176】図26及び図27に示すように、下部シールド層14aのメッシュ状のパターンの幅 w_{s1} は、例えば0.3μmに設定されている。

【0177】下部電極引き出し配線層22aのメッシュ状のパターンの幅 w_{o1} も、下部シールド層14aのメッシュ状のパターンの幅 w_{s1} と同様に、例えば0.3μmに設定されている。

【0178】層間絶縁膜20aの厚さ d_1 は、例えば400nmとなっている。

【0179】層間絶縁膜56aの厚さ d_2 は、例えば800nmとなっている。

【0180】層間絶縁膜20aの材料と層間絶縁膜56aの材料は、同一の材料が用いられている。層間絶縁膜20aの誘電率と層間絶縁膜56aの誘電率とは、互いに等しくなっている。

【0181】上部電極引き出し配線層50aのメッシュ状のパターンの幅 w_{o2} は、例えば0.42μmに設定されている。

【0182】上部シールド層58cのメッシュ状のパターンの幅 w_{s2} も、上部電極引き出し配線層50aのメッシュ状のパターンの幅 w_{o2} と同様に、例えば0.42μmに設定されている。

【0183】下部シールド層14a、下部電極引き出し配線層22a、上部電極引き出し配線層50a、上部シールド層58cのメッシュ状のパターンの幅 w_{s1} 、 w_{o1} 、 w_{s2} は、それぞれ上述した設計手法により設定すればよい。

【0184】下部シールド層14aのパターンの幅 w_{s1} 及び下部電極引き出し配線層22aのパターンの幅 w_{o1} を例えば0.3μmとし、上部電極引き出し配線層50aのパターンの幅 w_{o2} と上部シールド層58cのパターンの幅 w_{s2} を例えば0.42μmとしても、上記のような設計ルールを満足するため、特段の問題はない。

【0185】このように、下部シールド層14bのメッシュ状のパターンの幅 w_{s1} を狭く設定しているのみならず、下部電極引き出し配線層22aのメッシュ状のパターンの幅 w_{o1} をも狭く設定し、また、上部シールド層58cのメッシュ状のパターンの幅 w_{s2} を広く設定しているのみならず、上部電極引き出し配線層50aのメッシュ状のパターンの幅 w_{o2} をも広く設定しても、下部シールド層14bと下部シールド層22aとの間の寄生容量 C_1 と、上部電極引き出し配線層50aと上部シールド層

層58cとの間の寄生容量 C_2 とをほぼ等しく設定することができる。従って、本変形例によても、下部シールド層14aと下部電極引き出し配線層22aとの間の寄生容量 C_1 と、上部電極引き出し配線層50aと上部シールド層58cとの間の寄生容量 C_2 とをほぼ等しくすることができ、電気的特性の対称性を向上することができる。

【0186】〔第4実施形態〕本発明の第4実施形態による半導体装置を図28を用いて説明する。図28は、本実施形態による半導体装置を示す断面図及び平面図である。図28(b)は、本実施形態による半導体装置を示す平面図である。図28(a)は、図28(b)のB-B'線断面図である。図1乃至図27に示す第1乃至第3実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0187】本実施形態による半導体装置は、絶縁膜44の側壁部分に残存した積層膜39が、下部シールド層14や上部シールド層58に電気的に接続されていることに主な特徴がある。

【0188】図28に示すように、層間絶縁膜20及びキャップ層24には、下部シールド層14に電気的に接続されたビア128及び導電層130が埋め込まれている。ビア128及び導電層130は、下部電極引き出し配線層22と同一のCu層により構成されている。

【0189】層間絶縁膜26及びキャップ層24には、導電層130に電気的に接続されたビア132及び導電層134が埋め込まれている。ビア132及び導電層134は、同一のCu層により構成されている。

【0190】絶縁膜44の側壁部分には、積層膜39が残存している。絶縁膜44の側壁部分に残存した積層膜39は、図28(b)に示すようにリング状になっている。

【0191】積層膜39を構成するTiN膜33は、導電層134に電気的に接続されている。

【0192】層間絶縁膜46には、導電層134に電気的に接続されたビア136及び導電層138が埋め込まれている。ビア136及び導電層138は、同一のCu層により構成されている。ビア136は、積層膜39を構成するTiN膜37に電気的に接続されている。

【0193】層間絶縁膜56に埋め込まれた上部シールド層58は、層間絶縁膜56及びキャップ層54に埋め込まれたビア140を介して導電層138に電気的に接続されている。

【0194】下部シールド層14及び上部シールド層58は、例えばグランド(図示せず)等の固定電位に接続される。

【0195】このように本実施形態による半導体装置は、絶縁膜44の側壁部分に残存した積層膜39が、下部シールド層14や上部シールド層58に電気的に接続

25

されていることに主な特徴がある。

【0196】絶縁膜44の側壁部分に積層膜39が残存している場合、積層膜39はMIM容量40に対する寄生容量となり得る。このため、絶縁膜44の側壁部分に残存した積層膜39が固定電位に接続されることなくフローティング状態になっていると、MIM容量40の静電容量が変動しまうこともあり得る。

【0197】これに対し、本実施形態では、絶縁膜44の側壁部分に残存した積層膜39が、ピア128、132、136、140、導電層130、134、138、下部シールド層14、上部シールド層58等を介して固定電位に接続されるため、MIM容量40の静電容量が変動するのを防止することができる。

【0198】【第5実施形態】本発明の第5実施形態による半導体装置を図29を用いて説明する。図29は、本実施形態による半導体装置を示す断面図である。図1乃至図28に示す第1乃至第4実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0199】本実施形態による半導体装置は、MIM容量40の下方の半導体基板10に、配線や半導体素子が形成されていることに主な特徴がある。

【0200】図29に示すように、シリコンより成る半導体基板10には、素子領域142を画定する素子分離領域144が形成されている。

【0201】素子分離領域144により画定された素子領域142には、 p チャネルMOSトランジスタ146と n チャネルMOSトランジスタ148とを有するCMOS回路150が形成されている。

【0202】 p チャネルMOSトランジスタ146は、側面にサイドウォール絶縁膜152が形成された p 形のゲート電極154と、ゲート電極154の両側に形成された p 形のソース／ドレイン領域156a、156bとを有している。

【0203】 n チャネルMOSトランジスタ148は、側面にサイドウォール絶縁膜152が形成された n 形のゲート電極158と、ゲート電極158の両側に形成された n 形のソース／ドレイン領域160a、160bとを有している。

【0204】 p チャネルMOSトランジスタ146及び n チャネルMOSトランジスタ148が形成された半導体基板10上には、 SiO_2 より成る層間絶縁膜162が形成されている。

【0205】層間絶縁膜162には、ピア164a、164b及び配線層166a、166bが埋め込まれている。ピア164a、164b及び配線層166a、166bは、同一のCu層により構成されている。

【0206】ピア164a及び配線層166aは、 p チャネルMOSトランジスタ146のソース／ドレイン領域156aに電気的に接続されている。

26

【0207】ピア164b及び配線層166bは、 n チャネルMOSトランジスタ148のソース／ドレイン領域160bに電気的に接続されている。

【0208】ピア164a、164b及び配線層166a、166bが埋め込まれた層間絶縁膜162上には、 SiO_2 より成る層間絶縁膜168が形成されている。

【0209】層間絶縁膜168には、ピア170及び配線層172が埋め込まれている。ピア170及び配線層172は、同一のCu層により構成されている。ピア170及び配線層172は、配線層166aに電気的に接続されている。

【0210】ピア170及び配線層172が埋め込まれた層間絶縁膜168上には、 SiO_2 より成る層間絶縁膜174が形成されている。

【0211】層間絶縁膜174には、ピア176及び配線層178が埋め込まれている。ピア176及び配線層178は、同一のCu層により構成されている。ピア176及び配線層178は、配線層172に電気的に接続されている。

【0212】ピア176及び配線層178が埋め込まれた層間絶縁膜174上には、層間絶縁膜12が形成されている。

【0213】キャップ層62上には、 SiO_2 より成る層間絶縁膜180が形成されている。

【0214】層間絶縁膜180には、Cuよりなる配線層182が埋め込まれている。

【0215】配線層182が埋め込まれた層間絶縁膜180上には、キャップ層184が形成されている。

【0216】このように本実施形態による半導体装置30は、MIM容量40の下方に配線層や半導体素子等が形成されており、また、MIM容量の上方に配線層等が形成されていることに主な特徴がある。

【0217】MIM容量の下方や上方に単に配線層や半導体素子等を形成した場合には、MIM容量にノイズが結合してしまうこととなる。このため、従来は、MIM容量の下方や上方に配線層や半導体素子を設けることができなかった。このため、従来は、MIM容量を形成した場合には、MIM容量を形成するスペースを、配線層や半導体素子を形成する領域と異なる領域に確保しなければならなかつた。

【0218】これに対し、本実施形態によれば、MIM容量40の下方に下部シールド層14が形成されているため、MIM容量40を下部シールド層14によりシールドすることができる。従って、本実施形態によれば、MIM容量40の下方に、トランジスタ等の半導体素子や配線層等を配置することができる。

【0219】また、本実施形態によれば、MIM容量の上方に上部シールド層58が形成されているため、MIM容量40を上部シールド層58によりシールドすることができる。従って、本実施形態によれば、MIM容量

50

40の上方に配線層182等を配置することができる。
【0220】このように、本実施形態によれば、MIM容量の上方や下方に配線層や半導体素子等を配置することができるため、省スペース化を図ることができ、チップ面積を小さくすることができる。従って、本実施形態によれば、MIM容量を有する半導体装置を安価に提供することが可能となる。

【0221】【第6実施形態】本発明の第6実施形態による半導体装置を図30を用いて説明する。図30は、本実施形態による半導体装置を示す断面図である。図1乃至図29に示す第1乃至第5実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0222】本実施形態による半導体装置は、メッシュ状の下部シールド層14cが、半導体基板10に埋め込まれていることに主な特徴がある。

【0223】図30に示すように、半導体基板10には、 SiO_2 より成る四角柱状の絶縁層144aが複数埋め込まれている。絶縁層144aは、例えばSTI (Shallow Trench Isolation) 法により形成されている。絶縁層144aは、素子分離領域144を形成するのと同時に同一工程で形成することができる。

【0224】半導体基板10には、メッシュ状の下部シールド層14cが埋め込まれている。下部シールド層14cは、絶縁層144aに自己整合で半導体基板10に不純物を導入することにより形成されている。下部シールド層14cは、ソース／ドレイン領域160a、160bを形成するのと同時に同一工程で形成することができる。

【0225】下部シールド層14cが形成された半導体基板10上には、層間絶縁膜162が形成されている。

【0226】層間絶縁膜162には、下部電極引き出し配線層22が埋め込まれている。また、層間絶縁膜162には、ピア186及び配線層188が埋め込まれている。配線層188及びピア186は、ソース／ドレイン領域160bに電気的に接続されている。

【0227】こうして、本実施形態による半導体装置が構成されている。

【0228】このように、下部シールド層14cを半導体基板10に埋め込むようにもよい。

【0229】【変形実施形態】本発明は上記実施形態に限らず種々の変形が可能である。

【0230】例えば、上記実施形態では、MIM容量の上方及び下方の両方にそれぞれシールド層を設けたが、シールド層は必ずしもMIM容量の上方及び下方の両方に設けなくてもよく、必要に応じてMIM容量の上方又は下方のいずれか一方にのみ設けるようにしてもよい。

【0231】また、上記実施形態では、下部電極裏打ち配線層を形成したが、必ずしも下部電極裏打ち配線層を形成しなくともよい。例えば、下部電極裏打ち配線層を

形成することなく、下部電極引き出し配線層上にMIM容量を形成してもよい。

【0232】また、上記実施形態では、ピアの材料としてCuを用いたが、ピアの材料はCuに限定されるものではなく、例えばW(タンクステン)等あらゆる材料を用いることができる。

【0233】また、上記実施形態では、配線の材料としてCuを用いたが、配線の材料はCuに限定されるものではなく、例えばAl等あらゆる材料を用いることができる。

【0234】また、上記実施形態では、シールド層のメッシュ状のパターンのピッチと引き出し配線層のメッシュ状のパターンのピッチとを等しく設定したが、シールド層のメッシュ状のパターンのピッチと引き出し配線層のメッシュ状のパターンのピッチとを必ずしも等しく設定しなくてもよい。例えば、シールド層のメッシュ状のパターンのピッチと引き出し配線層のメッシュ状のパターンのピッチとの比が、ほぼ整数になるようにピッチを設定してもよい。

【0235】また、上記実施形態では、シールド層や引き出し配線層等をメッシュ状に形成したが、メッシュ状のみならず、例えばストライプ状に形成してもよい。但し、メッシュ状のシールド層の方が、ストライプ状のシールド層と比べて、シールド効果の方向依存性がない点で優れている。また、メッシュ状のシールド層の方が、ストライプ状のシールド層と比べて、CADによる自動設計において自由度が高い。

【0236】また、上記実施形態では、シールド層や引き出し配線層等をメッシュ状に形成したが、シールド層や引き出し配線層に例えれば複数の孔を形成してもよい。シールド層や引き出し配線層に複数の孔を形成した場合であっても、上述した設計ルールを満たしつつ、上記実施形態と同様のシールド効果を奏すことが可能である。

【0237】また、上記実施形態では、下部シールド層14のメッシュ状のパターンと下部電極引き出し配線層22のメッシュ状のパターンとの相対的な位置関係を、互いに半ピッチずらし、上部電極引き出し配線層50のメッシュ状のパターンと上部シールド層58のメッシュ状のパターンとの相対的な位置関係を、互いに半ピッチずらしたが、必ずしも半ピッチずらさなくてもよい。メッシュ状のパターンの相対的な位置関係を適宜ずらせば、寄生容量を適宜小さくすることが可能である。

【0238】また、第3実施形態では、上部電極引き出し配線層と上部シールド層との間隔 d_1 と、下部電極引き出し配線層と下部シールド層との間隔 d_2 とが異なる場合を例に説明したが、上部電極引き出し配線層と上部シールド層との間の層間絶縁膜56aの誘電率と、下部電極引き出し配線層と下部シールド層との間の層間絶縁膜20aの誘電率とが異なる場合にも適用することができる。

きる。

【0239】また、第4実施形態では、絶縁膜44の側壁部分に残存した積層膜39を下部シールド層14や上部シールド層58に電気的に接続する場合を例に説明したが、絶縁膜44の側壁部分に残存した積層膜39は、必ずしも、下部シールド層14や上部シールド層58に電気的に接続する必要はなく、あらゆる固定電位に接続することができる。例えば、絶縁膜44の側壁部分に残存した積層膜39を、電源線や接地線等の固定電位に接続するようにしてもよい。

【0240】(付記1) 半導体基板と、前記半導体基板の上方に形成され、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子と、少なくとも前記容量素子の上方又は下方に形成されたシールド層と、前記容量素子と前記シールド層との間に形成され、前記下部電極又は前記上部電極に電気的に接続された引き出し配線層とを有し、前記シールド層及び前記引き出し配線層に、それぞれ複数の孔が形成されていることを特徴とする半導体装置。

【0241】(付記2) 付記1記載の半導体装置において、前記シールド層及び前記引き出し配線層が、メッシュ状のパターンになっていることを特徴とする半導体装置。

【0242】(付記3) 付記1記載の半導体装置において、前記シールド層及び前記引き出し配線層が、ストライプ状のパターンになっていることを特徴とする半導体装置。

【0243】(付記4) 付記2又は3記載の半導体装置において、前記シールド層のパターンのピッチと、前記引き出し配線層のパターンのピッチとの比が、ほぼ整数になっていることを特徴とする半導体装置。

【0244】(付記5) 付記2乃至4のいずれかに記載の半導体装置において、前記シールド層のパターンと前記引き出し配線層のパターンとが、互いにずれていることを特徴とする半導体装置。

【0245】(付記6) 付記1乃至5のいずれかに記載の半導体装置において、前記シールド層は、前記容量素子が形成されている範囲より広い範囲に形成されていることを特徴とする半導体装置。

【0246】(付記7) 付記1乃至6のいずれかに記載の半導体装置において、前記容量素子の下方の前記半導体基板に、前記シールド層を隔てて形成された半導体素子を更に有することを特徴とする半導体装置。

【0247】(付記8) 付記1乃至7のいずれかに記載の半導体装置において、前記容量素子の少なくとも上方又は下方に、前記シールド層を隔てて形成された配線層を更に有することを特徴とする半導体装置。

【0248】(付記9) 付記1乃至8のいずれかに記載の半導体装置において、前記シールド層が、前記半導

体基板に埋め込まれていることを特徴とする半導体装置。

【0249】(付記10) 付記1乃至9のいずれかに記載の半導体装置において、前記容量素子の周囲に、前記容量素子の上面の高さとほぼ等しい高さを有する絶縁膜が形成されていることを特徴とする半導体装置。

【0250】(付記11) 付記10記載の半導体装置において、前記絶縁膜の側壁部分に残存した導電膜が、固定電位に接続されることを特徴とする半導体装置。

10 【0251】(付記12) 付記10記載の半導体装置において、前記導電膜は、前記シールド層に電気的に接続されていることを特徴とする半導体装置。

【0252】(付記13) 付記1乃至12のいずれかに記載の半導体装置において、前記上部電極の厚さが、前記下部電極の厚さより厚いことを特徴とする半導体装置。

【0253】(付記14) 付記1乃至13のいずれかに記載の半導体装置において、前記上部電極上に、エッチングストップ膜が形成されていることを特徴とする半導体装置。

20 【0254】(付記15) 付記1乃至14のいずれかに記載の半導体装置において、前記容量素子のパターンは、前記容量素子の内側の部分を構成する第1の基本パターンと、前記容量素子の周縁を含む部分を構成する第2の基本パターンと、前記容量素子の角を含む部分を構成する第3の基本パターンとが、それぞれ複数組み合わせて構成されていることを特徴とする半導体装置。

【0255】(付記16) 付記15記載の半導体装置において、前記引き出し配線層のパターンは、前記第1乃至前記第3の基本パターンにそれぞれ対応するように形成された複数の基本パターンが組み合わさって構成されていることを特徴とする半導体装置。

30 【0256】(付記17) 付記15又は16記載の半導体装置において、前記シールド層のパターンは、前記第1乃至前記第3の基本パターンにそれぞれ対応するように形成された複数の基本パターンが組み合わさって構成されていることを特徴とする半導体装置。

【0257】(付記18) 付記1乃至17のいずれかに記載の半導体装置において、前記シールド層及び前記引き出し配線層が、前記容量素子の上方及び下方にそれぞれ形成されていることを特徴とする半導体装置。

40 【0258】(付記19) 半導体基板と、前記半導体基板の上方に形成され、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子と、前記容量素子の下方に形成された下部シールド層と、前記容量素子の上方に形成された上部シールド層と、前記容量素子と前記下部シールド層との間に形成され、前記下部電極に電気的に接続された下部電極引き出し配線層と、前記容量素子と前記上部シールド層との間に形成され、前記上部電極に

電気的に接続された上部電極引き出し配線層とを有し、前記下部シールド層、前記上部シールド層、前記下部電極引き出し配線層及び前記上部電極引き出し配線層に、それぞれ複数の孔が形成されており、前記下部シールド層と前記下部電極引き出し配線層との間の寄生容量と、前記上部シールド層と前記上部電極引き出し配線層との間の寄生容量とが、ほぼ等しくなるように、前記下部シールド層と前記下部電極引き出し配線層とが対向する部分の面積と、前記上部シールド層と前記上部電極引き出し配線層とが対向する部分の面積とが、それぞれ設定されていることを特徴とする半導体装置。

【0259】(付記20) 付記19記載の半導体装置において、前記下部シールド層と前記下部電極引き出し配線層との間隔と、前記上部シールド層と前記上部電極引き出し配線層との間隔が、互いに異なっていることを特徴とする半導体装置。

【0260】(付記21) 付記19又は20記載の半導体装置において、前記下部シールド層と前記下部電極引き出し配線層との間に形成された第1の絶縁膜の誘電率と、前記上部シールド層と前記上部電極引き出し配線層との間に形成された第2の絶縁膜の誘電率とが、互いに異なっていることを特徴とする半導体装置。

【0261】(付記22) 半導体基板の上方に、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子を形成する工程を有する半導体装置の製造方法において、前記容量素子を形成する工程の前に、複数の孔が形成された下部シールド層を形成する工程と、複数の孔が形成された下部電極引き出し配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0262】(付記23) 半導体基板の上方に、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子を形成する工程を有する半導体装置の製造方法において、前記容量素子を形成する工程の後に、複数の孔が形成された上部電極引き出し配線層を形成する工程と、複数の孔が形成された上部シールド層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0263】(付記24) 半導体基板の上方に、下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する容量素子を形成する工程を有する半導体装置の製造方法において、前記容量素子を形成する工程の前に、複数の孔が形成された下部シールド層を形成する工程と、複数の孔が形成された下部電極引き出し配線層を形成する工程とを有し、前記容量素子を形成する工程の後に、複数の孔が形成された上部電極引き出し配線層を形成する工程と、複数の孔が形成された上部シールド層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0264】(付記25) 付記22乃至24のいずれ

かに記載の半導体装置の製造方法において、前記容量素子を形成する工程の前に、前記容量素子が形成される領域の周囲に、前記容量素子の上面とほぼ等しい高さを有する第1の絶縁膜を形成する工程と、前記容量素子を形成する工程の後に、前記容量素子上及び前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の表面を平坦化する工程とを更に有することを特徴とする半導体装置の製造方法。

【0265】

10 【発明の効果】以上の通り、本発明によれば、MIM容量の上方や下方にシールド層がシールド層が形成されているため、MIM容量にノイズが結合するのを防止することができる。

【0266】また、本発明によれば、下部シールド層、下部電極引き出し配線層、下部電極裏打ち配線層、上部電極引き出し配線層、及び上部シールド層のパターンがいずれもメッシュ状に形成されているため、所定の設計ルールを満たしつつ、MIM容量にノイズが結合するのを防止することができる。

20 【0267】また、本発明によれば、下部シールド層のメッシュ状のパターンと下部電極引き出し配線層のメッシュ状のパターンとの相対的な位置関係が、互いにずれているため、下部シールド層と下部電極引き出し配線層との間の寄生容量を極めて小さくすることができる。また、本発明によれば、上部電極引き出し配線層のメッシュ状のパターンと上部シールド層のメッシュ状のパターンとの相対的な位置関係が、互いにずれているため、上部電極引き出し配線層と上部シールド層との間の寄生容量を極めて小さくすることができる。このため、本発明によれば、寄生容量により電気的特性に悪影響が及ぶのを防止することができる。

30 【0268】また、本発明によれば、MIM容量の周囲に、MIM容量の上面とほぼ等しい高さを有する絶縁膜を形成するため、層間絶縁膜の表面がMIM容量の上方で盛り上がってしまうのを防止することができ、層間絶縁膜の表面の高さを全体としてほぼ均一にすることができる。このため、本発明によれば、層間絶縁膜の表面をCMP法により平坦化することが可能となり、ダマシング法により上部電極引き出し配線層等を層間絶縁膜等に埋め込むことが可能となる。従って、本発明によれば、上部電極引き出し配線層等の材料としてCu等を用いることが可能となる。

40 【0269】また、本発明によれば、表面の平坦な層間絶縁膜に上部電極引き出し配線層を埋め込むことができるので、上部電極引き出し配線層に断線等が生じるのを防止することができ、高い信頼性を得ることが可能となる。

【0270】また、本発明によれば、MIM容量上に層間絶縁膜等を形成することが可能となるため、最上層付近に限定されることなくMIM容量を形成することが可

能となる。

【0271】また、本発明によれば、最上層付近に限定されることなくMIM容量を形成することができるため、MIM容量や上部電極引き出し配線層の上方に上部シールド層等を形成することも可能となる。

【0272】また、本発明によれば、MIM容量の周囲に形成されるMIM容量の上面とほぼ等しい高さを有する絶縁膜は、積層膜をバターニングしてMIM容量を形成する際に下地がエッチングされるのを防止するハードマスクを兼ねるものである。従って、本発明によれば、工程の増加を招くことなく、表面の高さがほぼ均一な層間絶縁膜を形成することが可能となる。

【0273】また、本発明によれば、MIM容量の上部電極が厚く形成されているため、配線層に達する深いコンタクトホールを形成する場合であっても、コンタクトホールがMIM容量の上部電極を突き抜けて容量絶縁膜に達してしまうのを防止することができる。

【0274】また、本発明によれば、MIM容量上にエッチングストップ膜が形成されているので、コンタクトホールがMIM容量の上部電極を突き抜けて容量絶縁膜に達してしまうのを防止することができる。

【0275】また、本発明によれば、複数の基本ブロックを適宜配置することによりMIM容量、引き出し配線層、及びシールド層等のパターンを構成することができるため、CAD等を用いてMIM容量、引き出し配線層、及びシールド層等のパターンを容易に構成することができる。

【0276】また、本発明によれば、各基本ブロックの配置により得られる容量値 C_1 、 C_2 、 C_3 と、各基本ブロックの配置数 n_1 、 n_2 、 n_3 とから、容易にMIM容量の容量値 C を算出することができるため、設計の容易化を図ることができる。

【0277】また、本発明によれば、MIM容量の大きさに対してシールド層が一回り大きく形成することにより、MIM容量にノイズが結合するのを、より防止することができる。

【0278】また、本発明によれば、下部シールド層と下部電極引き出し配線層との間隔 d_1 と、上部電極引き出し配線層と上部シールド層との間隔 d_2 が異なる場合であっても、下部シールド層の幅 w_{s1} と上部シールド層の幅 w_{s2} とを異ならすことにより、下部シールド層と下部電極引き出し配線層との間の寄生容量 C_1 と、上部電極引き出し配線層と上部シールド層との間の寄生容量 C_2 とをほぼ等しく設定することができる。本発明によれば、下部シールド層と下部電極引き出し配線層との間の寄生容量 C_1 と、上部電極引き出し配線層と上部シールド層との間の寄生容量 C_2 とをほぼ等しくすることができるため、より効果的にノイズをシールドすることができる。

【0279】また、本発明によれば、下部シールド層の

メッシュ状のパターンの幅 w_{s1} を狭く設定しているのみならず、下部電極引き出し配線層のメッシュ状のパターンの幅 w_{s2} をも狭く設定し、また、上部シールド層のメッシュ状のパターンの幅 w_{s3} を広く設定しているのみならず、上部電極引き出し配線層のメッシュ状のパターンの幅 w_{s4} をも広く設定しても、下部シールド層と下部シールド層との間の寄生容量 C_1 と、上部電極引き出し配線層と上部シールド層との間の寄生容量 C_2 とをほぼ等しく設定することができる。

10 【0280】また、本発明によれば、絶縁膜の側壁部分に残存した積層膜が、ピア、導電層、下部シールド層、上部シールド層等を介して固定電位に接続されるため、MIM容量の静電容量が変動するのを防止することができる。

【0281】また、本発明によれば、MIM容量の上方や下方に配線層や半導体素子等を配置することができるため、省スペース化を図ることができ、チップ面積を小さくすることができる。従って、本発明によれば、MIM容量を有する半導体装置を安価に提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図である。

【図2】本発明の第1実施形態による半導体装置を示す平面図(その1)である。

【図3】本発明の第1実施形態による半導体装置を示す平面図(その2)である。

【図4】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

30 【図5】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

【図6】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その3)である。

【図7】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その4)である。

【図8】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その5)である。

【図9】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その6)である。

40 【図10】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その7)である。

【図11】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その8)である。

【図12】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その9)である。

【図13】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その10)である。

【図14】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その11)である。

50 【図15】本発明の第1実施形態による半導体装置の製

35

- 造方法を示す工程断面図（その12）である。
- 【図16】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その13）である。
- 【図17】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その14）である。
- 【図18】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その15）である。
- 【図19】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その16）である。
- 【図20】本発明の第1実施形態の変形例（その1）による半導体装置を示す工程断面図である。
- 【図21】本発明の第1実施形態の変形例（その2）による半導体装置を示す工程断面図である。
- 【図22】本発明の第2実施形態による半導体装置のパターンのレイアウトを示す平面図である。
- 【図23】本発明の第2実施形態の変形例による半導体装置のパターンのレイアウトを示す平面図である。
- 【図24】本発明の第3実施形態による半導体装置を示す断面図である。
- 【図25】本発明の第3実施形態による半導体装置を示す平面図である。
- 【図26】本発明の第3実施形態の変形例による半導体装置を示す断面図である。
- 【図27】本発明の第3実施形態の変形例による半導体装置を示す平面図である。
- 【図28】本発明の第4実施形態による半導体装置を示す断面図及び平面図である。
- 【図29】本発明の第5実施形態による半導体装置を示す断面図である。
- 【図30】本発明の第6実施形態による半導体装置を示す断面図である。

【符号の説明】

- 10…半導体基板
12…層間絶縁膜
14、14a、14b…下部シールド層
16…孔
18…キャップ層
20、20a…層間絶縁膜
22、22a…下部電極引き出し配線層
24…キャップ層
26…層間絶縁膜
28…ピア
30…下部電極裏打ち配線層
32…孔
33…TiN膜
34…下部電極
35…SiO₂膜
36…容量絶縁膜
37…TiN膜
38、38a、38b…上部電極

36

- 39…積層膜
40、40a、40b…MIM容量
40₁～40_s…基本パターン
42…キャップ層
44…絶縁膜
46…層間絶縁膜
48…ピア
50、50a…上部電極引き出し配線層
50₁～50_r…基本パターン
52…孔
54…キャップ層
56、56a…層間絶縁膜
58、58a～58c…上部シールド層
58₁～58_r…基本パターン
60…孔
62…キャップ層
64…レジスト膜
66…溝
68…Cu層
70…溝
72…Cu層
74…レジスト膜
76…開口部
78…コンタクトホール
80…レジスト膜
82…溝
84…Cu層
86…レジスト膜
88…開口部
90…レジスト膜
92…凹み
94…レジスト膜
96…開口部
98…コンタクトホール
100…溝
102…レジスト膜
104…溝
106…Cu層
108…配線層
110…コンタクトホール
112…エッチングストップ膜
114…基本ブロック
116…基本ブロック
118…基本ブロック
120…基本ブロック
122…基本ブロック
124…基本ブロック
126…基本ブロック
128…ピア
130…導電層

132…ピア
 134…導電層
 136…ピア
 138…導電層
 140…ピア
 142…素子領域
 144…素子分離領域
 146…pチャネルMOSトランジスタ
 148…nチャネルMOSトランジスタ
 150…CMOS回路
 152…サイドウォール絶縁膜
 154…ゲート電極
 156a、156b…ソース／ドレイン領域
 158…ゲート電極
 160a、160b…ソース／ドレイン領域

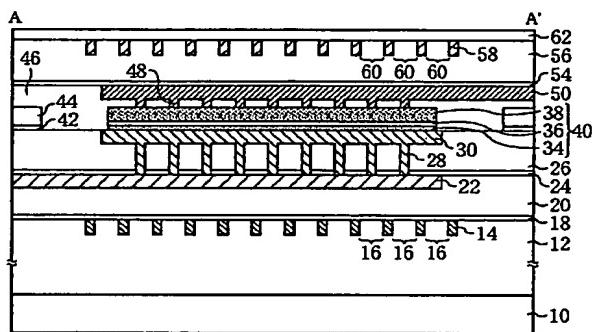
* 162…層間絶縁膜

164a、164b…ピア
 166a、166b…配線層
 168…層間絶縁膜
 170…ピア
 172…配線層
 174…層間絶縁膜
 176…ピア
 178…配線層
 180…層間絶縁膜
 182…配線層
 184…キャップ層
 186…ピア
 188…配線層

*

【図1】

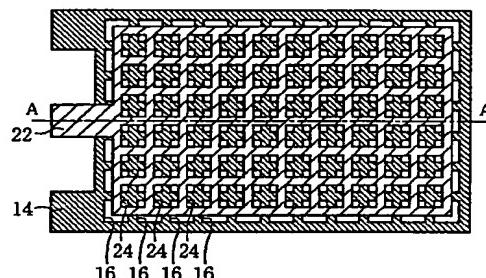
本発明の第1実施形態による半導体装置を示す断面図



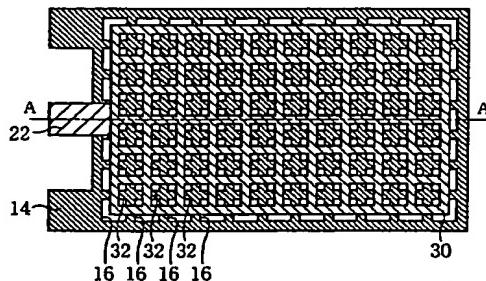
【図2】

本発明の第1実施形態による半導体装置を示す平面図（その1）

(a)

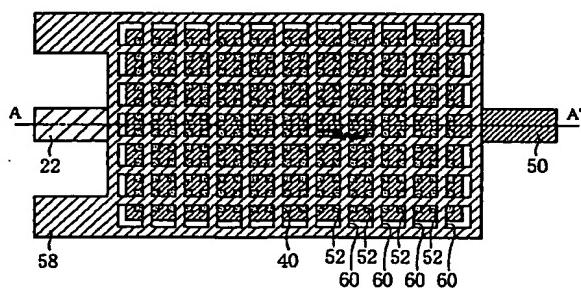


(b)



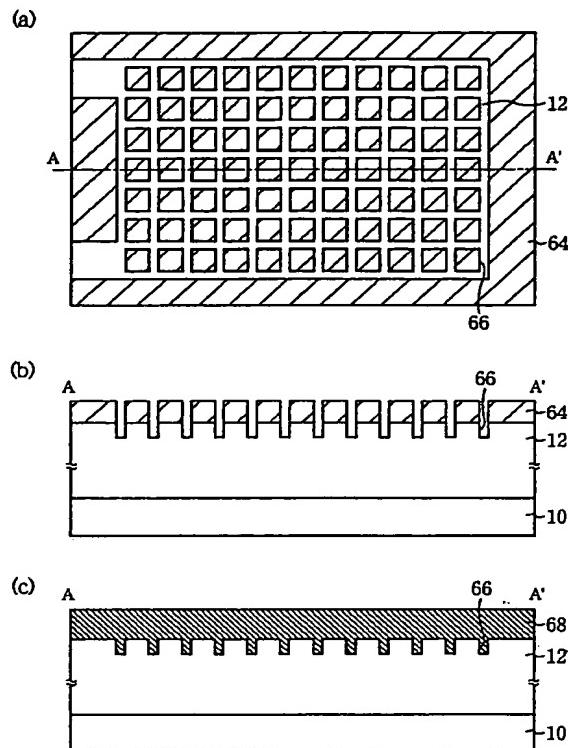
【図3】

本発明の第1実施形態による半導体装置を示す平面図（その2）



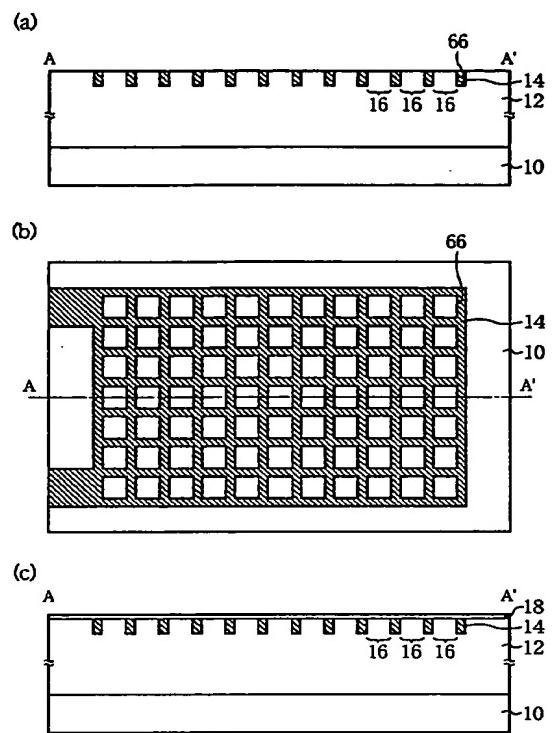
【図4】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その1）



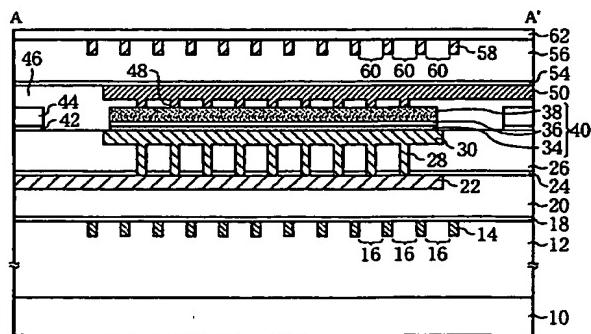
【図5】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その2）



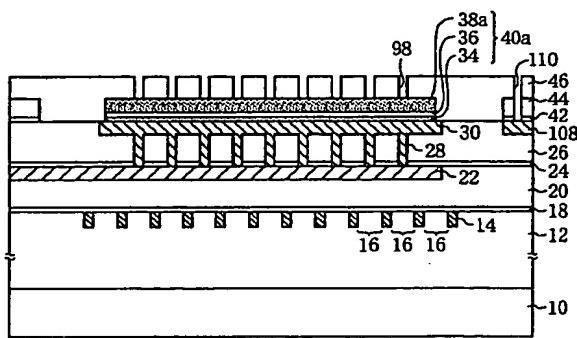
【図19】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その16）



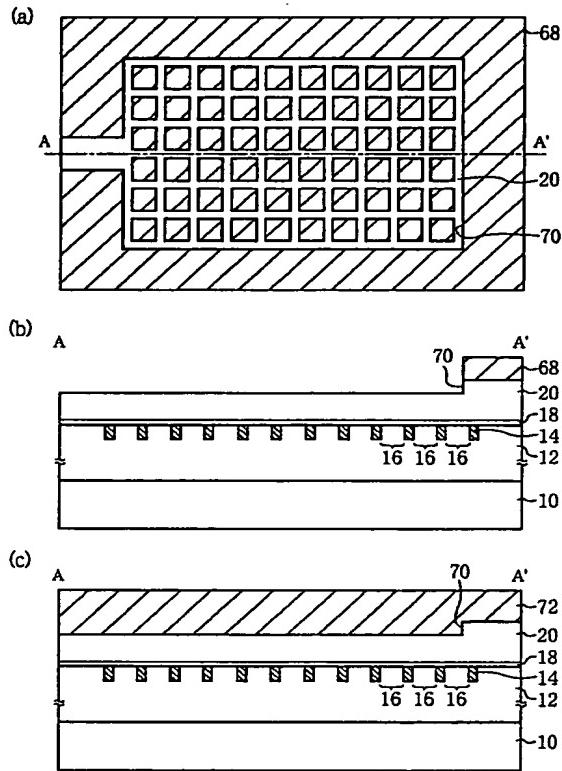
【図20】

本発明の第1実施形態の変形例（その1）による半導体装置を
示す工程断面図



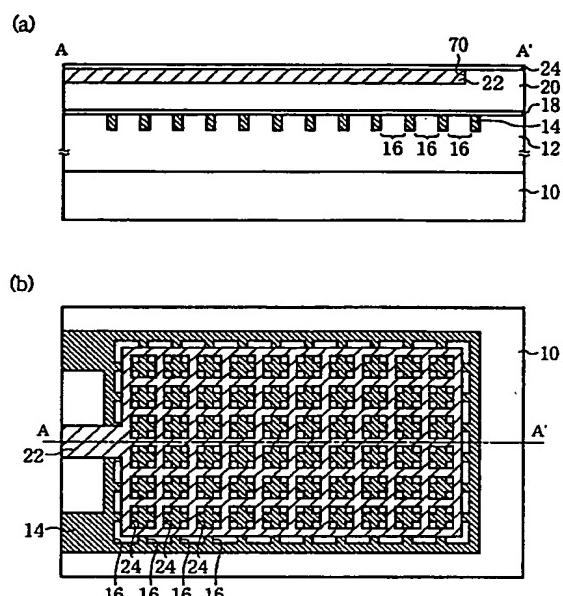
【図6】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その3）



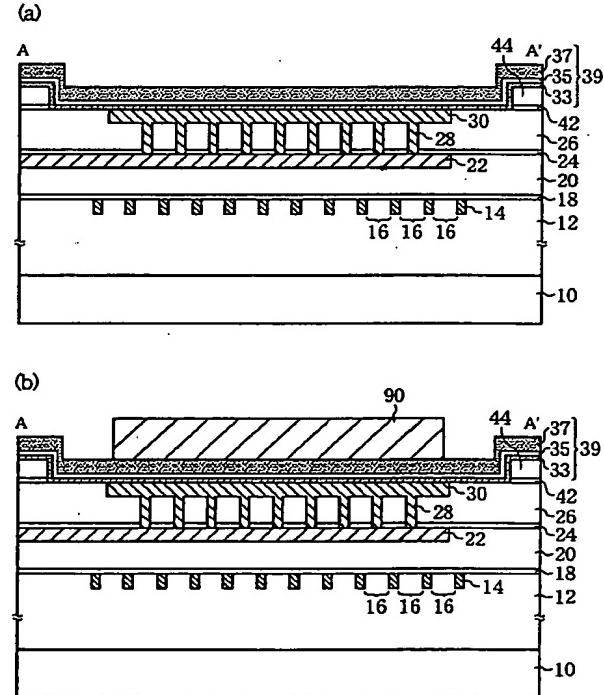
【図7】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その4）

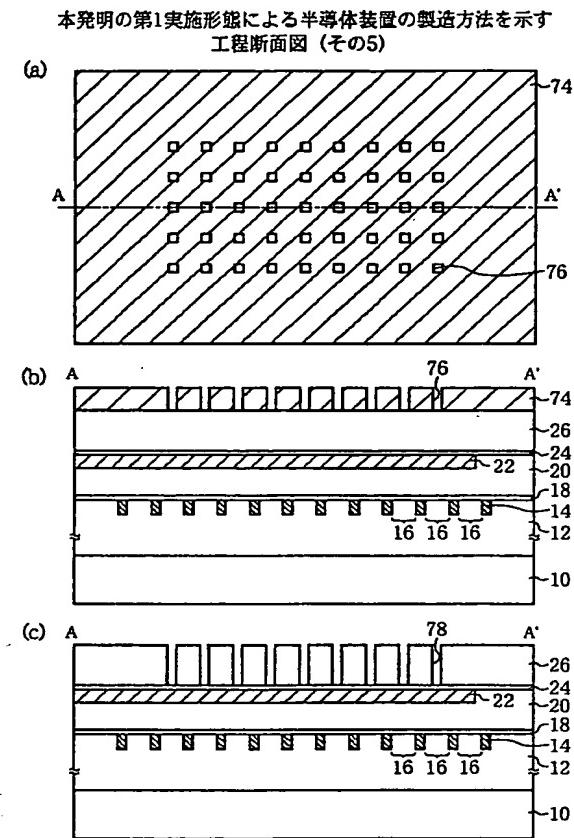


【図12】

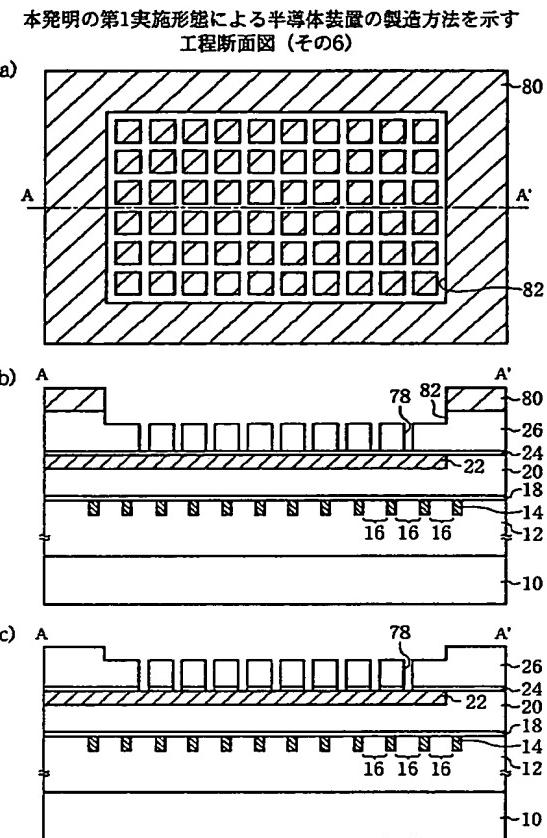
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その9）



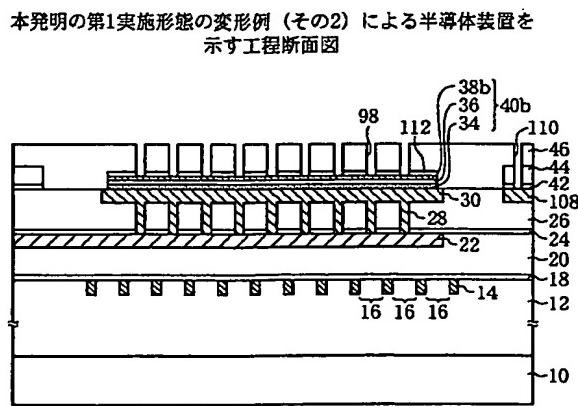
【図8】



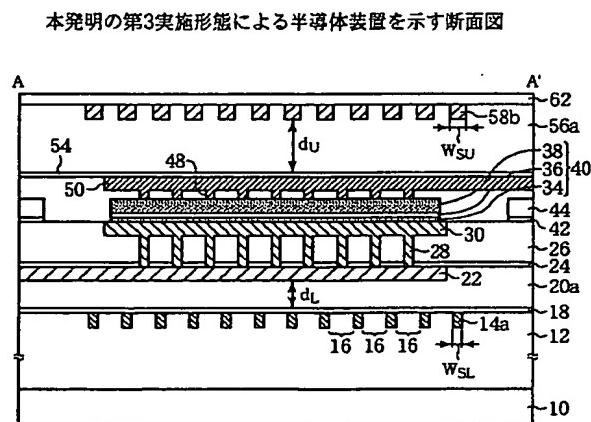
【図9】



【図21】

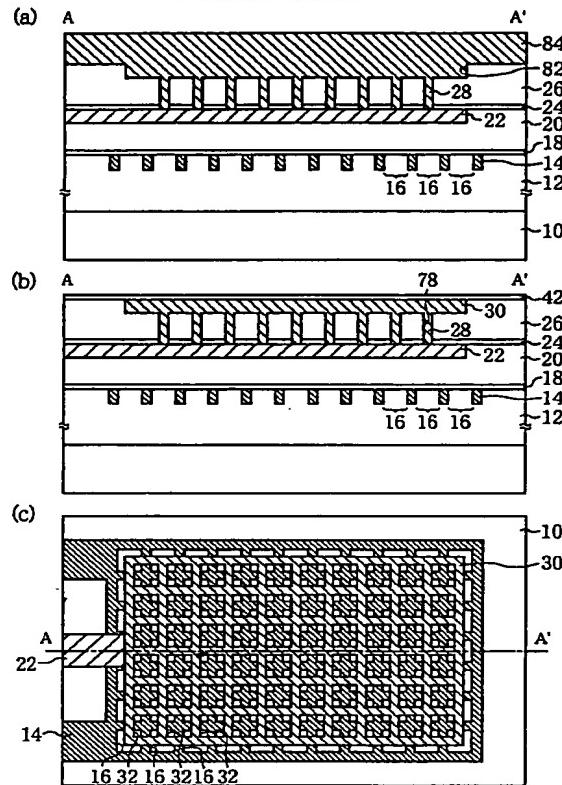


【図24】



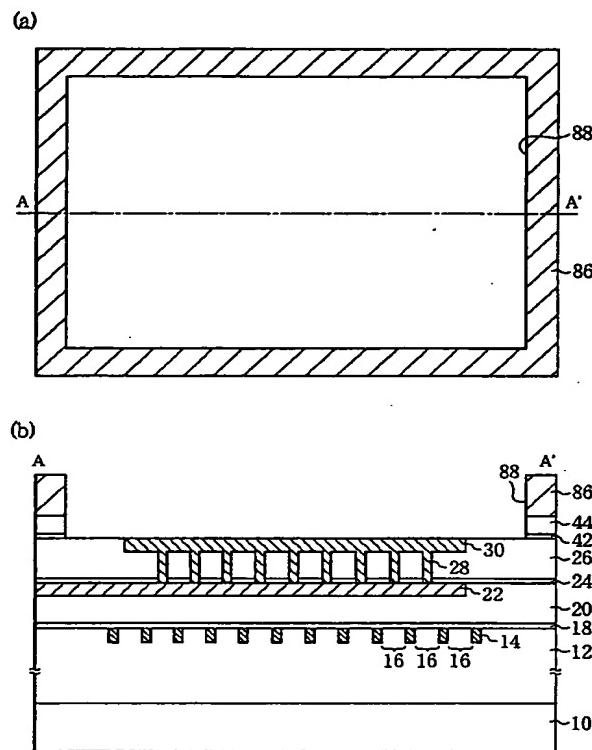
【図10】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図 (その7)



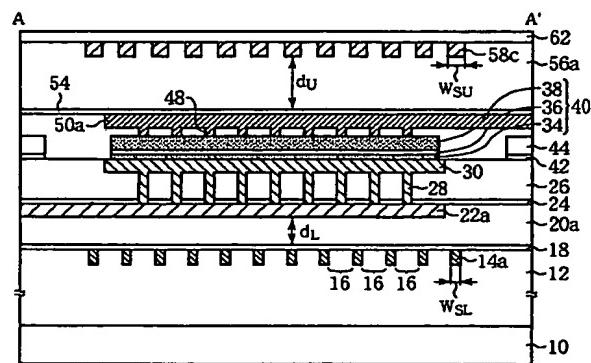
【図11】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図 (その8)



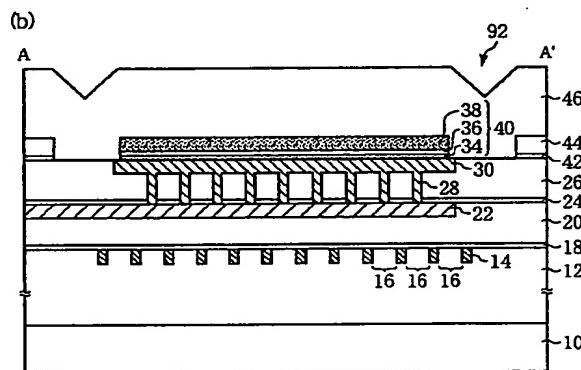
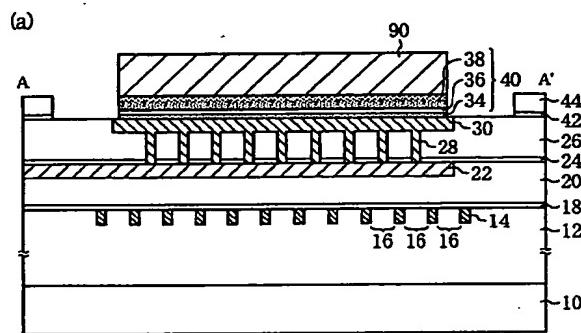
【図26】

本発明の第3実施形態の変形例による半導体装置を示す断面図



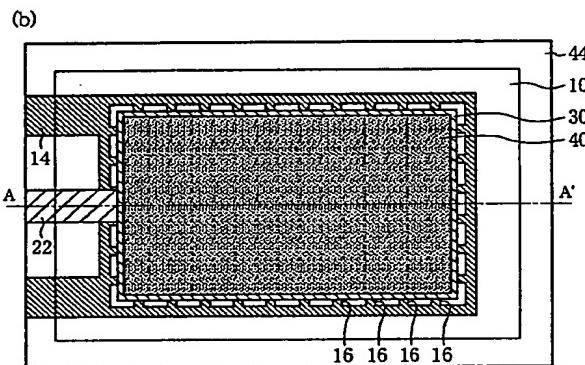
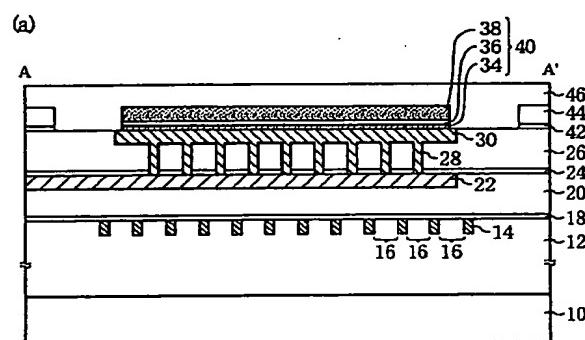
【図13】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その10）

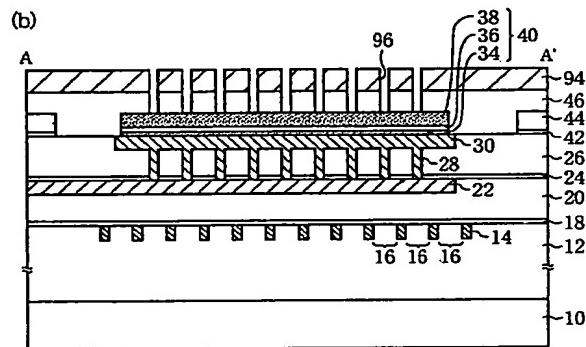
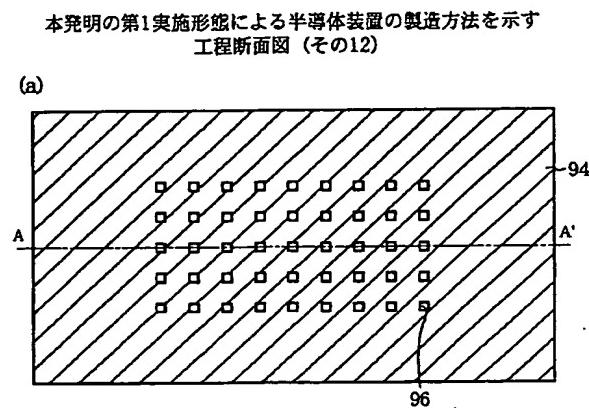


【図14】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その11）

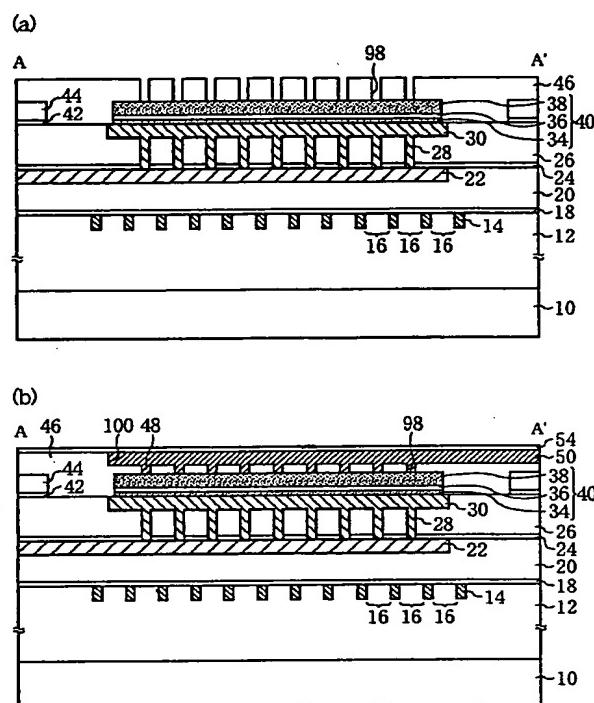


【図15】



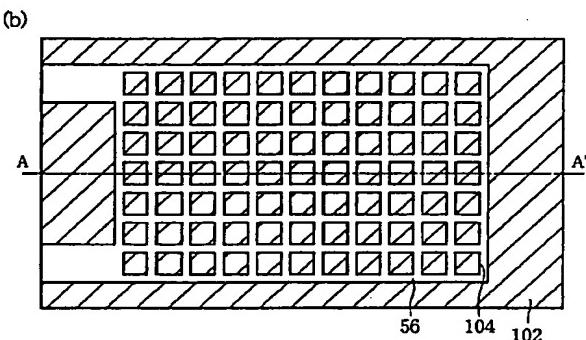
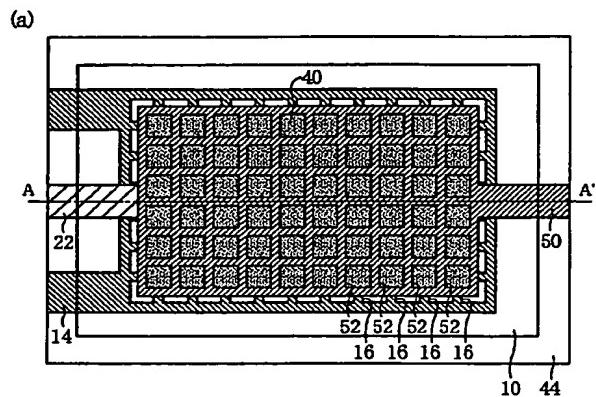
【図16】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その13）



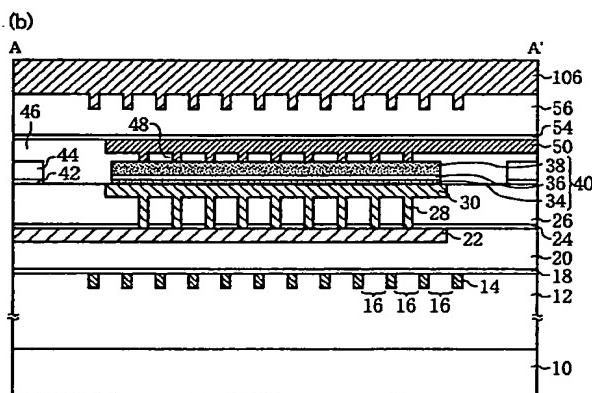
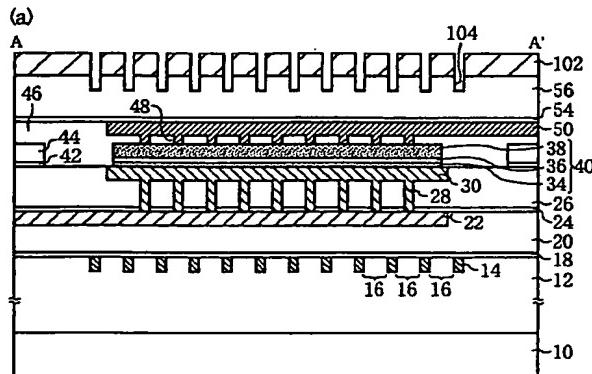
【図17】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その14）

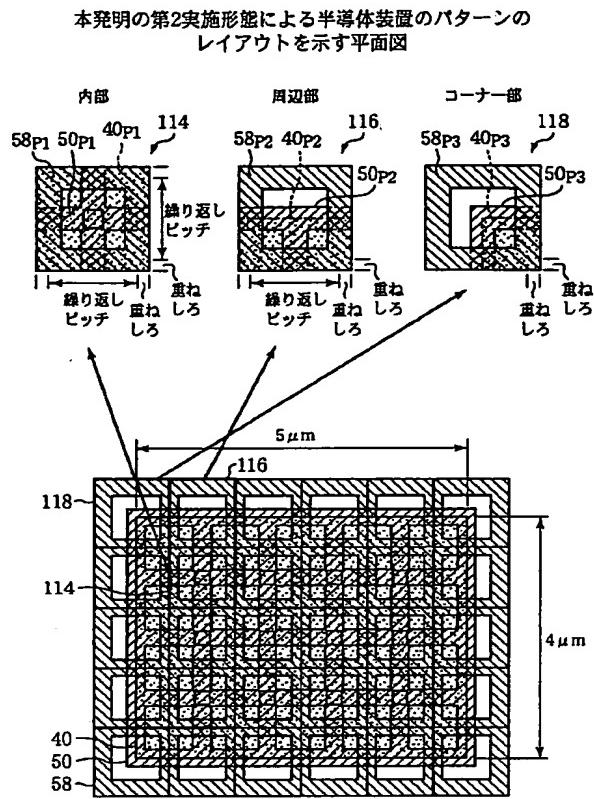


【図18】

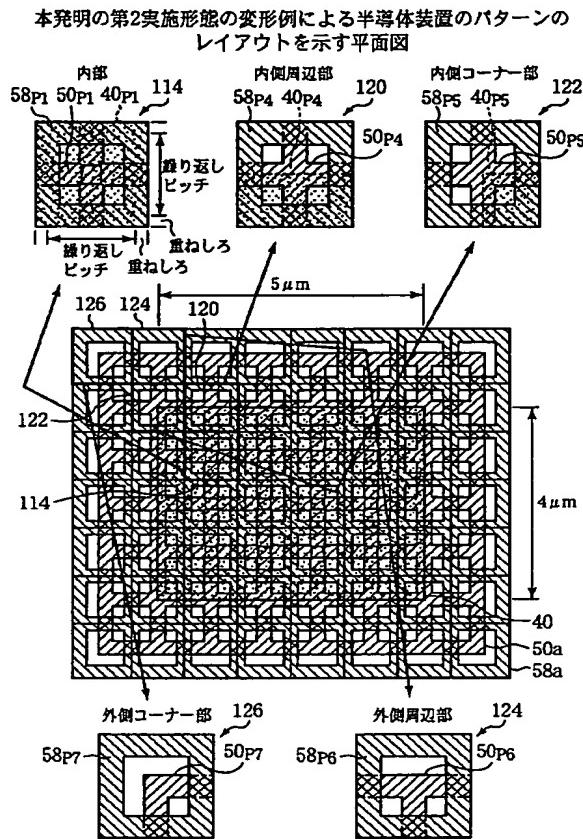
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その15）



【図22】



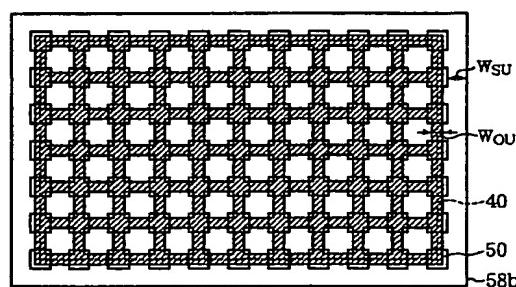
【図23】



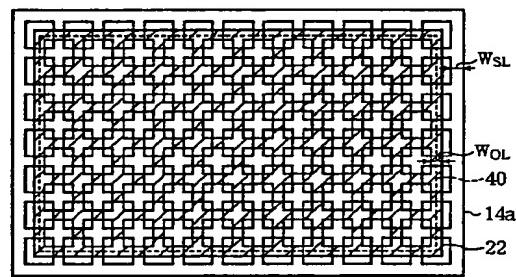
【図25】

本発明の第3実施形態による半導体装置を示す平面図

(a)



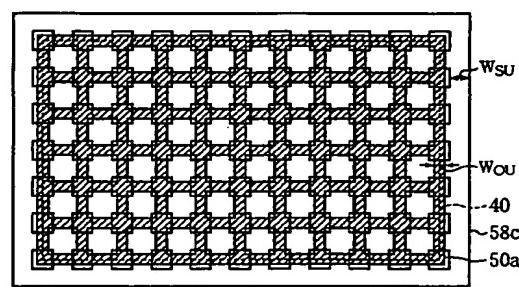
(b)



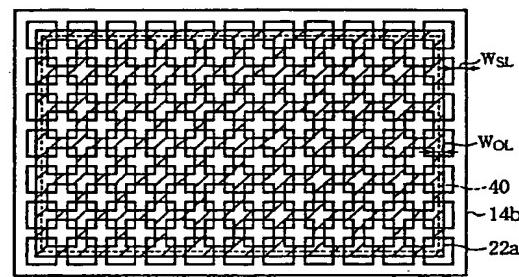
【図27】

本発明の第3実施形態の変形例による半導体装置を示す平面図

(a)

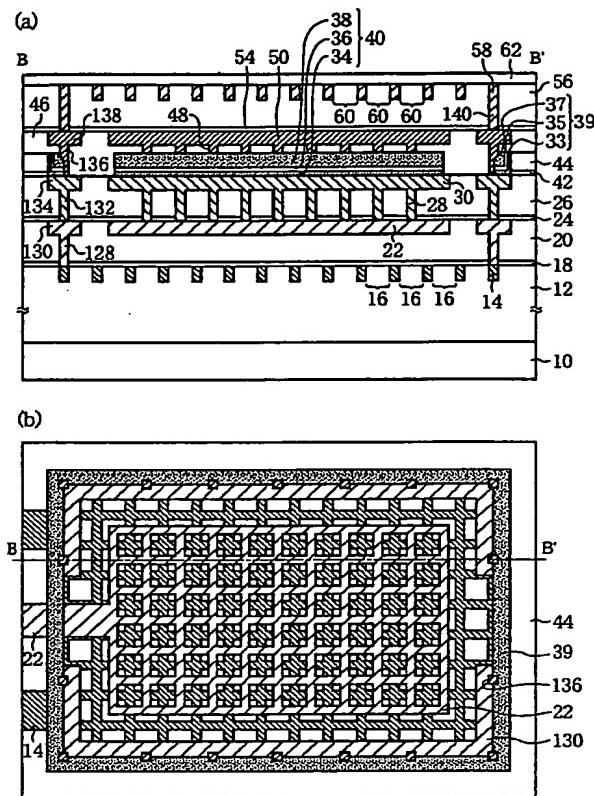


(b)



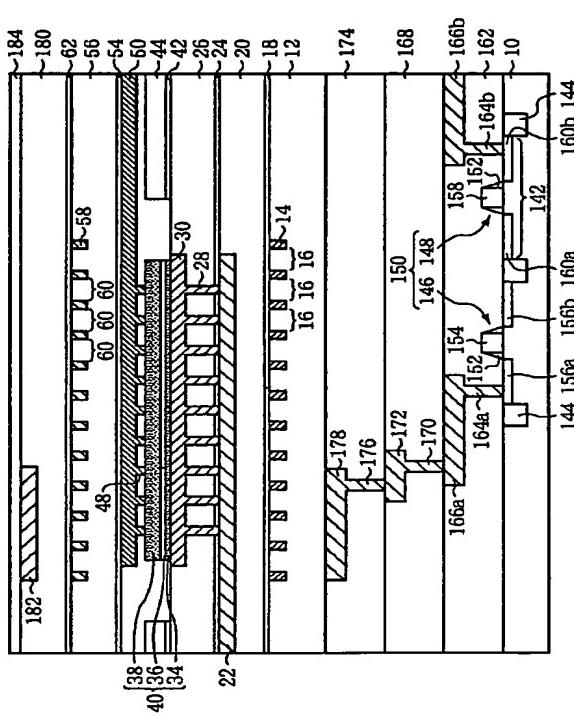
【図28】

本発明の第4実施形態による半導体装置を示す断面図及び平面図



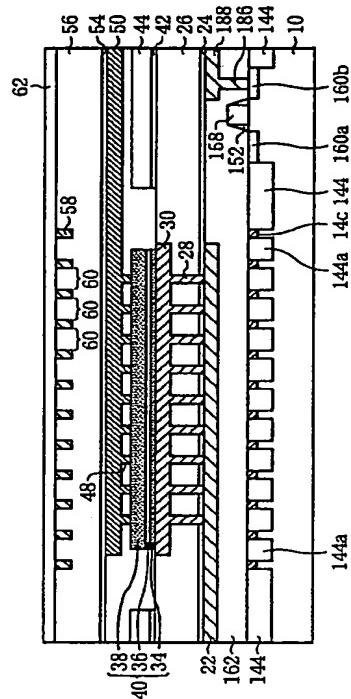
【図29】

本発明の第5実施形態による半導体装置を示す断面図



【图30】

本発明の第6実施形態による半導体装置を示す断面図



フロントページの続き

F ターム(参考) SF033 HH08 HH11 HH33 JJ01 JJ11
JJ19 KK08 KK11 KK33 MM01
MM21 PP15 PP27 PP28 QQ08
QQ09 QQ10 QQ25 QQ28 QQ37
RR04 RR06 SS15 W03 W10
XX00 XX01 XX02 XX03 XX24
XX31 XX34
SF038 AC04 AC05 AC15 BH10 BH19
CD18 DF01 EZ11 EZ14 EZ15
EZ20